

文章编号: 2095-4980(2018)04-0748-05

基于 RTD 的新型全加器设计

冯 杰, 姚茂群*

(杭州师范大学 国际服务工程学院, 浙江 杭州 311121)

摘 要: 单双稳态转换逻辑单元(MOBILE)是基于共振隧穿二极管(RTD)电路的一个重要逻辑单元, 非常适合阈值逻辑电路设计。由 MOBILE 可以构成阈值逻辑门(TG)和广义阈值逻辑门(GTG)等阈值逻辑电路。本文通过将三变量异或函数转化为较简单、理想的 GTG 输入输出函数形式, 设计了由 GTG 构成的新型三变量异或门, 并利用该三变量异或门设计了新型的全加器。通过 HSPICE 仿真和性能比较, 该全加器不仅器件数量少, 输出延时短, 而且能达到较高的工作频率、更小的电路功耗与功耗-延迟积。

关键词: 共振隧穿二极管(RTD); 单双稳态转换逻辑单元(MOBILE); 阈值逻辑电路; 三变量异或门; 全加器

中图分类号: TN432

文献标志码: A

doi: 10.11805/TKYDA201804.0748

Design of novel full-adder based on RTD

FENG Jie, YAO Maoqun*

(Institute of Service Engineering, Hangzhou Normal University, Hangzhou Zhejiang 311121, China)

Abstract: The Monostable-Bistable transition Logic Element(MOBILE) is an important logic unit based on Resonant Tunneling Diode(RTD) circuits, which is very suitable for the design of threshold logic circuit. Threshold circuits such as Threshold Gate(TG), Generalized Threshold Gate(GTG) and etc., can be constructed by MOBILE. In this paper, a novel three-variable XOR gate composed of GTG is designed, through transforming the three-variable XOR function into a more simple and ideal form of GTG input/output function. And a novel full-adder is designed by using the three-variable XOR gate. Through HSPICE simulation and performance comparison, the full-adder has less devices, shorter delay-time, higher operating frequency, lower power consumption and lower power-delay product.

Keywords: Resonant Tunneling Diode(RTD); Monostable-Bistable transition Logic Element(MOBILE); threshold logic circuit; three-variable XOR gate; full-adder

共振隧穿二极管(RTD)是基于量子共振隧穿效应的一种较成熟的量子器件^[1-2]。由于 RTD 具有工作频率高、开关转换速度快、低压低功耗和独特的负内阻(Negative Differential Resistance, NDR)等特性, 在高速低功耗的数字集成电路领域应用广泛^[3-4]。在利用 RTD 设计数字电路时, 通常会用到一个逻辑单元, 即单双稳态转换逻辑单元(MOBILE)^[5-6]。MOBILE 可由 2 个或更多个 RTD 串联而成, 它的偏置电压通常为时钟电压, 并且可用 RTD 与三端器件的串联结构作为输入分支来控制它的输出, 三端器件如高电子迁移率晶体管(High Electron Mobility Transistor, HEMT)^[7]、异质结双极晶体管(Heterojunction Bipolar Transistor, HBT)^[8]、异质结场效应晶体管(Heterojunction Field-Effect Transistor, HFET)^[9]等, 本文使用 HFET 器件。MOBILE 具有双稳态和自锁特性, 且非常适合阈值逻辑电路设计。由 MOBILE 构成的各种类型的阈值逻辑电路, 如阈值逻辑门(TG)^[10]、多阈值逻辑门(Multi-Threshold Threshold Gate, MTTG)^[11]和广义阈值逻辑门(Generalized Threshold Gate, GTG)^[12]。全加器的输出有两部分: 和输出和进位输出。其中, 进位输出函数是阈值函数, 可用单个 TG 实现; 而和输出函数并不是阈值逻辑函数, 不能直接用单个 TG 实现。文献[13]通过中间函数的方法实现了和输出电路, 但并没

收稿日期: 2017-01-23; 修回日期: 2017-03-28

基金项目: 国家自然科学基金资助项目(61771179; 61271124); 浙江省自然科学基金资助项目(LY15F010011)

*通信作者: 姚茂群 email:yaomaqun@163.com

有使全加器得到简化。由于和输出函数正好是三变量异或函数，和输出电路可直接通过三变量异或门实现。三变量异或门的设计关键在于三变量异或函数的阈值转化。文献[14]将三变量异或函数转化成具有 GTG 形式的函数，并设计了相应的三变量异或门。但本文在函数形式转化过程中发现，能够将三变量异或函数转化成比文献[14]中更简单、理想的函数形式，使设计的电路性能更好。通过对各类三变量异或门组成的全加器的 HSPICE 仿真及性能比较，本文设计的 GTG 形式的三变量异或门构成的全加器各方面性能都较优。

1 RTD 阈值逻辑门

TG 是由 n 个二值变量输入，单个二值变量输出的逻辑门。其输入输出关系可以表示为^[10]：

$$f = \begin{cases} 1 & \text{if } \sum_{i=1}^n \omega_i x_i \geq T \\ 0 & \text{else} \end{cases} \quad (1)$$

简记为 $f = \langle \omega_1 x_1 + \dots + \omega_n x_n \rangle_T$ ，其中， $\{\omega_i\} (i=1, 2, \dots, n)$ 表示一组权重， T 表示阈值， f 表示输出。如果一个逻辑函数能用单个 TG 实现，则称该函数为阈值函数，否则称为非阈值函数。由于阈值函数可以实现与、或、非逻辑，因此具有函数完备性。

GTG 的输入输出关系比 TG 更加一般化，具有 n 个二值变量输入、单个二值变量输出和单个阈值 T ^[12]。函数 f 可以表示成任意的由算术加、减、逻辑与、或、非构成的 n 变量关系式。当且仅当该关系式大于等于阈值 T ，逻辑函数输出 1；否则输出 0。其输入输出关系可以表示为：

$$f = \begin{cases} 1 & \text{if } w_{11}f_{11}(x_1, x_2, \dots, x_n) + \dots + w_{1p}f_{1p}(x_1, x_2, \dots, x_n) - w_{21}f_{21}(x_1, x_2, \dots, x_n) - \dots - w_{2q}f_{2q}(x_1, x_2, \dots, x_n) \geq T \\ 0 & \text{else} \end{cases} \quad (2)$$

式中： T 表示阈值； p, q 取自然数； $\{w_{1p}, w_{2q}\}$ 表示一组权重； $f_{11} \sim f_{1p}$ 和 $f_{21} \sim f_{2q}$ 是由算术加、减、逻辑与、或、非构成的函数。

由 RTD 构成的 MOBILE 非常适合阈值逻辑电路设计^[10-12]。当 MOBILE 由 2 个 RTD 串联而成时，与 RTD 负载管并联输入分支的输入变量权值为正，与 RTD 驱动管并联输入分支的输入变量权值为负。由于 RTD 的单位电流一定，权值可通过相应输入分支的 RTD 面积进行调节，阈值可通过 RTD 负载管和 RTD 驱动管的面积进行调节，阈值逻辑电路如图 1 所示。该电路由 RTD 和 HFET 的串联结构作为输入分支，其中 U_{clk} 为时钟电压， $w_{10} \sim w_{1s}$ 和 $w_{20} \sim w_{2r}$ 为 RTD 面积， $x_{11} \sim x_{1s}$ 和 $x_{21} \sim x_{2r}$ 为输入变量。该电路的输入输出关系可以表示为：

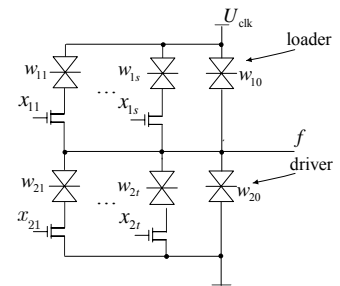


Fig.1 Threshold logic circuit composed of MOBILE
图 1 由 MOBILE 构成的阈值逻辑电路

$$f = \begin{cases} 1 & \text{if } \sum_{i=1}^s \omega_i x_{1i} - \sum_{i=1}^r \omega_i x_{2i} \geq w_{10} - w_{20} \\ 0 & \text{else} \end{cases} \quad (3)$$

若将输入分支的单个 HFET 改为多个 HFET 的串联或并联的组合，则可以实现由 MOBILE 构成 GTG 电路。若多个 HFET 串联，则用与逻辑实现；若多个 HFET 并联，则用或逻辑实现。对于阈值函数，用 TG 比用 GTG 能更简单地设计电路；对于非阈值函数，不能只用单个 TG 实现，但可以用单个 GTG 实现。

2 先前的研究

全加器是算术运算单元的基本组成部分^[15]，在算术逻辑运算中被大量地使用。因此，全加器电路性能的好坏直接影响整个电路的性能，表 1 为全加器真值表。其中， a, b 表示加数， c_{in} 表示前一进位， s 表示和输出， c_{out} 表示进位输出。通过卡诺图化简，可以得出：

$$c_{out} = \begin{cases} 1 & \text{if } a + b + c_{in} \geq 1.5 \\ 0 & \text{else} \end{cases} \quad (4)$$

$$s = a \oplus b \oplus c_{in} \quad (5)$$

进位输出 c_{out} 电路可通过 TG 实现，见图 2。但和输出函数 s 并不是阈值函数，无法通过单个 TG 实现。

表 1 全加器真值表

Table1 True values of full adder				
a	b	c_{in}	s	c_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

文献[13]将 s 的函数关系转化成:

$$f_M = \begin{cases} 1 & \text{if } 1 \leq a+b+c_{in} < 3 \\ 0 & \text{else} \end{cases} = \begin{cases} 1 & \text{if } (a \cup b \cup c_{in}) - (a \cap b \cap c_{in}) \geq 0.5 \\ 0 & \text{else} \end{cases} \quad (6)$$

$$s = c_{out} \oplus f_M \quad (7)$$

式中: \cup 表示逻辑或; \cap 表示逻辑与。通过中间函数 f_M 与 c_{out} 的异或关系, 设计了和输出 s 的电路, 如图 3 所示。其中, U_{clk1}, U_{clk2} 采用四相时钟, 函数 f_M 和二变量异或门电路均使用 GTG 设计。该和输出 s 电路记为 GTG- f_M 。

文献[13]中通过中间函数来寻找和输出 s 与输入 a, b, c_{in} 的关系, 是一个新的想法, 但是这不仅需要 2 个时钟, 增加了约 1/4 时钟周期的输出延时, 而且也没有使电路设计变得简单。由于和输出函数 s 正好是三变量异或函数, 若能直接利用基于 RTD 的三变量异或门构成全加器, 电路会简单许多。

3 全加器设计

三变量异或门输入输出关系: $f = x_1 \oplus x_2 \oplus x_3$ 。该电路实现方法有 2 种: 方法 1, 由 2 个二变量异或门组成; 方法 2, 直接将三变量异或函数转化为 GTG 形式的阈值函数, 再利用 GTG 实现。

1) 方法 1

二变量异或门输入输出关系: $f = x_1 \oplus x_2$, 该函数可表示成 GTG 形式的函数:

$$f = \begin{cases} 1 & \text{if } (x_1 \cup x_2) - (x_1 \cap x_2) \geq 0.5 \\ 0 & \text{else} \end{cases} \quad (8)$$

因此, 可以用 GTG 方便地实现, 如图 4 所示^[16]。图 4 中 U_{clk1} 和 U_{clk2} 采用四相时钟^[17], 该三变量异或门记为 GTG-2Cascaded。

2) 方法 2

三变量异或门通过 GTG 设计, 关键在于三变量异或函数的阈值转化。

文献[14]将函数关系转化为:

$$f = \begin{cases} 1 & \text{if } 2(x_1 \cap x_2 \cap x_3) + (x_1 \cup x_2 \cup x_3) - [(x_1 \cap x_2) \cup (x_1 \cap x_3) \cup (x_2 \cap x_3)] \geq 0.5 \\ 0 & \text{else} \end{cases} \quad (9)$$

并利用 GTG 设计了相应的电路, 如图 5 所示。该三变量异或门记为 GTG-3previous。

本文将三变量异或函数转化成另外一种 GTG 形式的函数, 具体的函数关系转化如下:

$$f = \begin{cases} 1 & \text{if } 0.75(x_1 + x_2 + x_3) - 1.5[(x_1 \cap x_2) \cup (x_1 \cap x_3) \cup (x_2 \cap x_3)] \geq 0.5 \\ 0 & \text{else} \end{cases} \quad (10)$$

所设计的电路如图 6 所示。该三变量异或门记为 GTG-3proposed。可以看出, GTG-3proposed 中与 RTD 负载管并联的正输入分支为 3 个 RTD 与 HFET 串联结构的并联, 比 GTG-3previous 少用了 3 个 HFET 器件, 多了 1 个 RTD 器件。

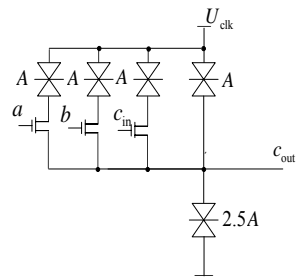


Fig.2 Circuit of carry output c_{out}
图 2 进位输出 c_{out} 电路

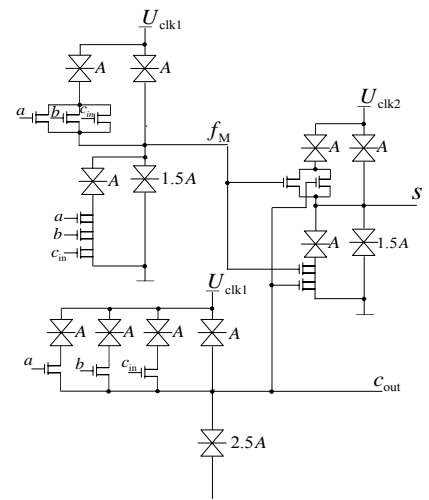


Fig.3 Circuit of sum output GTG- f_M
图 3 和输出 s 电路 GTG- f_M

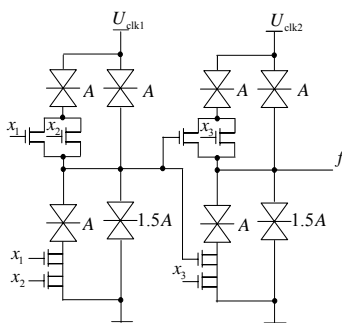


Fig.4 Three-variable XOR gate GTG-2Cascaded
图 4 三变量异或门 GTG-2Cascaded

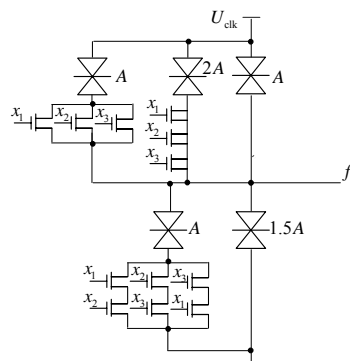


Fig.5 Three-variable XOR gate GTG-3previous
图 5 三变量异或门 GTG-3previous

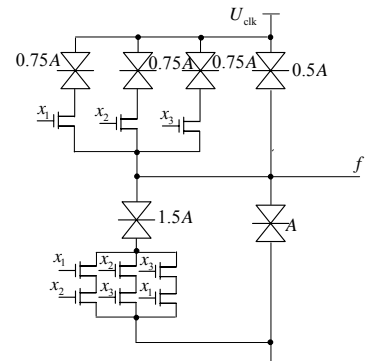


Fig.6 Three-variable XOR gate GTG-3proposed
图 6 三变量异或门 GTG-3proposed

全加器可由三变量异或门及进位输出 c_{out} 电路构成，电路如图 7 所示。其中的三变量异或门可使用 GTG-2Cascaded,GTG-3previous 及 GTG-3proposed，进位输出 c_{out} 电路使用图 2 电路。

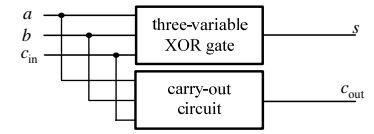


Fig.7 Full adder
图 7 全加器

4 仿真及性能测试

为了更全面地分析各全加器性能的好坏，本文通过 HSPICE 进行了仿真和测试。RTD 模型采用文献[3]中介绍的模型，其中，RTD 波峰电压为 0.28 V，RTD 波峰电流密度 $9 \text{ kA}\cdot\text{cm}^{-2}$ ，RTD 电容 $4 \text{ fF}\cdot\mu\text{m}^{-2}$ ，RTD 单位面积 A 为 $2 \mu\text{m}^2$ ；HFET 采用增强型和耗尽型晶体管，阈值电压分别为 0.4 V 和 -0.1 V；GTG-2Cascaded 采用四相时钟 U_{clk1} 和 U_{clk2} ，与其相应的进位输出 c_{out} 电路使用时钟 U_{clk2} ；GTG-3previous 和 GTG-3proposed 使用时钟 U_{clk1} ，与其相应的进位输出 c_{out} 电路也使用时钟 U_{clk1} ；时钟 U_{clk1} 和 U_{clk2} 高电平均为 0.8 V；仿真结果如图 8 所示。

图 8 中， s_1 与 C_{out1} ， s_2 与 C_{out2} ， s_3 与 C_{out3} 分别为和输出 s 电路使用 GTG-2Cascaded,GTG-3previous,GTG-3proposed 的全加器的和输出与进位输出仿真结果。从波形图中可以看出，在时钟 U_{clk1} 上升沿时， s_2 与 C_{out2} ， s_3 与 C_{out3} 产生需要的输出；在时钟 U_{clk2} 的上升沿时， s_1 与 C_{out1} 产生需要的输出。各三变量异或门构成的全加器均能得到正确的逻辑功能，只是由 GTG-2Cascaded 构成的全加器比其他全加器增加了 1/4 时钟周期的输出延时。

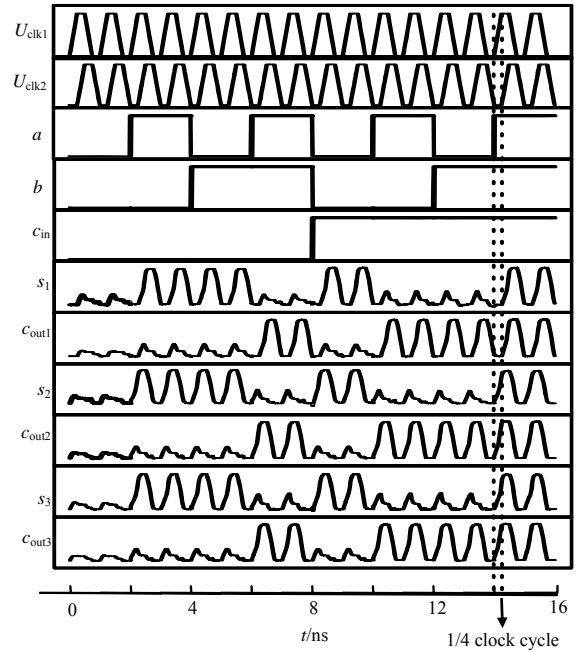


Fig.8 Simulation waveform
图 8 仿真波形

表 2 是对由 GTG-2Cascaded, GTG-3previous, GTG-3proposed 及 GTG- f_M 构成的各全加器的性能测试结果。表 2 从最大工作频率、功耗-延迟积、时钟 U_{clk1} 和 U_{clk2} 频率为 1 GHz 时的平均功耗、器件数目和时钟数量这五个方面，对各全加器进行了比较。其中，功耗-延迟积为最大频率时的平均功耗/最大频率。从表 2 中可以看出，由 GTG-3proposed 构成的全加器的工作频率最高，约为 2.5 GHz；功耗-延迟积最小，约为 $46.918 \mu\text{W}\cdot\text{GHz}^{-1}$ ，比由 GTG- f_M 构成的全加器少了约 43.09%；时钟频率为 1 GHz 时的平均功耗最小，约为 $94.222 \mu\text{W}$ ，比由 GTG- f_M 构成的全加器少了约 24.32%；使用的器件数目最少，为 23 个；使用时钟的数量为 1 个。因此，由本文所设计的 GTG-3proposed 构成的全加器各方面性能都较好。

表 2 全加器性能测试
Table2 Performance test of full adder

sum output circuit s (the same of carry out circuit c_{out})	maximum frequency/GHz	average power consumption at the maximum frequency/ μW	power consumption-delay product/ $(\mu\text{W}\cdot\text{GHz}^{-1})$	average power consumption at 1 GHz/ μW	number of devices	number of clocks
GTG-2Cascaded	2.00	142.404	71.202	132.157	24	2
GTG-3previous	2.27	116.078	51.136	100.063	25	1
GTG-3proposed	2.50	117.295	46.918	94.222	23	1
GTG- f_M	1.67	137.674	82.440	124.506	26	2

5 结论

由于 MOBILE 十分适合阈值逻辑电路设计，在利用 MOBILE 设计电路时，往往先判断逻辑函数是否为阈值函数。若是，则直接使用 TG；若不是，则需将该函数转化为具有阈值形式的函数，如 GTG 形式。电路性能的好坏，往往取决于变换后的函数和所使用的门电路。本文在设计三变量异或门时，通过三变量异或函数的阈值转化，设计了新型的三变量异或门：GTG-3proposed。然后，通过 GTG-3proposed 构成了新型的全加器。通过 HSPICE 仿真，验证了该全加器逻辑功能的正确性。在与文献[17]的全加器及其他三变量异或门构成的全加器性能比较中，该全加器具有更少的器件数量、电路功耗、功耗-延迟积及更高的工作频率。

参考文献:

- [1] YANG L,LI Y,WANG Y,et al. Asymmetric quantum-well structures for AlGaIn/GaN/AlGaIn resonant tunneling diodes[J]. Journal of Applied Physics, 2016,119(16):164501-1-164501-8.
- [2] LIN Y C,GHOSH R K,ADDOU R,et al. Atomically thin resonant tunnel diodes built from synthetic van der Waals heterostructures[J]. Nature Communications, 2015,6(33):1-10.
- [3] SCHULMAN J N,SANTOS H J D L,Chow D H. Physics-based RTD current-voltage equation[J]. IEEE Electron Device Letters, 1996,17(5):220-222.
- [4] THIESSEN T,POPP M,ZORN C,et al. Generalization of the jump postulate and Brayton-Moser's mixed potential for the analysis of RTD circuits[J]. International Journal of Circuit Theory and Applications, 2016,44(1):185-196.
- [5] QUINTANA J M,AVEDILLO M J,NUNEZ J,et al. Operation limits for RTD-based MOBILE circuits[J]. IEEE Transactions on Circuits & Systems Part I Regular Papers, 2009,56(2):350-363.
- [6] NACIF J A,SILVA T,TAVARES A I,et al. Self-latching operation of MOBILE circuits using series-connection of RTDs and transistors[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2006,53(5):334-338.
- [7] LIU Z,HUANG X,LEE F C,et al. Package parasitic inductance extraction and simulation model development for the high-voltage cascode GaN HEMT[J]. All-round Southeast Asia, 2014,29(4):1977-1985.
- [8] STATNIKOV K,GRZYB J,HEINEMANN B,et al. 160-GHz to 1-THz multi-color active imaging with a lens-coupled SiGe HBT Chip-Set[J]. IEEE Transactions on Microwave Theory & Techniques, 2015,63(2):520-532.
- [9] SIMIN G S,ISLAM M,GAEVSKI M,et al. Low RC-constant perforated-channel HFET[J]. IEEE Electron Device Letters, 2014,35(4):449-451.
- [10] ZHANG R,GUPTA P,ZHONG L,et al. Threshold network synthesis and optimization and its application to nanotechnologies[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006,24(1):107-118.
- [11] AVEDILLO M J,QUINTANA J M,PETTENGHI H,et al. Multi-threshold threshold logic circuit design using resonant tunneling devices[J]. Electronics Letters, 2003,39(21):1502-1504.
- [12] BEREZOWSKI K S. Compact binary logic circuits design using negative differential resistance devices[J]. Electronics Letters, 2006,42(16):902-903.
- [13] WEI Y,SHEN J Z. Design of nanopipelined adder based on resonant tunneling diode[J]. Microelectronics Journal, 2012, 43(6):353-357.
- [14] MIRHOSEINI S M,SHARIFI M J,BAHREPOUR D. New three-input XOR and XNOR gates based on generalized threshold gates using RTDs[C]// 2009 2nd International Conference on Adaptive Science & Technology(ICAST). Accra,Ghana:IEEE, 2009:9-13.
- [15] 张恒,江猛. 一种简易 MCU 的加法器设计方法[J]. 太赫兹科学与电子信息学报, 2011,9(4):507-509. (ZHANG Heng, JIANG Meng. A simplified method of the MCU adder design[J]. Journal of Terahertz Science and Electronic Information Technology, 2011,9(4):507-509.)
- [16] PETTENGHI H,AVEDILLO M J,QUINTANA J M. A novel contribution to the RTD-based threshold logic family[C]// IEEE International Symposium on Circuits and Systems. Seattle,WA,USA:IEEE, 2008:2350-2353.
- [17] PETTENGHI H,AVEDILLO M J,QUINTANA J M. Single phase clock scheme for mobile logic gates[J]. Electronics Letters, 2006,42(24):1382-1383.

作者简介:



冯杰(1991-),男,浙江省宁波市人,在读硕士研究生,主要研究方向为高速低功耗数字集成电路设计.email:fxyjie@qq.com.

姚茂群(1967-),女,浙江省杭州市人,博士,教授,主要从事数字集成电路与系统、嵌入式系统与应用研究.