

文章编号: 2095-4980(2015)05-0740-05

一种应用于电力线载波通信的线驱动器设计

陈昊^{a,b}, 谢亮^{a,b*}, 金湘亮^{a,b}

(湘潭大学 a.物理与光电工程学院; b.微光电与系统集成湖南省工程实验室, 湖南 湘潭 411105)

摘要: 设计了一种应用于电力线窄带载波通信发送端中的高线性度、全差分的线驱动器。该结构上包括增益可调的预放大级和功率输出级。其中预放大级的输出摆幅可调, 功率输出级的静态功耗可调, 可针对系统输出功率检测电路检测到的功耗输出信息选择相应的静态功耗。电路基于中芯国际(SMIC)的0.18 μm 互补金属氧化物半导体(CMOS)工艺设计。后仿真结果表明, 在输出摆幅峰峰值为4 V的情况下, 最大电流驱动能力可达667 mA, 总谐波失真(THD)小于-60 dB, 符合电力线窄带载波通信的应用要求。

关键词: 电力线载波通信; 总谐波失真; 线驱动; 线性度

中图分类号: TN722.77

文献标识码: A

doi: 10.11805/TKYDA201505.0740

Design of a line driver applied to Power Line Carrier Communication

CHEN Hao^{a,b}, XIE Liang^{a,b*}, JIN Xiangliang^{a,b}

(a.Faculty of Materials, Optoelectronics and Physics; b.Hunan Engineering Laboratory for Microelectronics, Optoelectronics and System on a Chip, Xiangtan University, Xiangtan Hunan 411105, China)

Abstract: A fully differential line driver, with high linearity is presented, which is applied in narrowband Power Line Carrier Communication(PLCC). The proposed configuration includes a preamplifier with programmable gain and a power output stage. The preamplifier features an adjustable output swing, and the static power consumption can be switched by output stage according to power detection circuit. The proposed line driver is designed based on Semiconductor Manufacturing International Corporation (SMIC) 180 nm Complementary Metal Oxide Semiconductor(CMOS) technology. Post-layout simulated results show that the maximum current driving capacity is up to 660 mA and the Total Harmonic Distortion(THD) is less than -60 dB when peak-to-peak value of output swing is 4 V, which meets the requirement of narrowband power line carrier communication.

Key words: Power Line Carrier Communication; Total Harmonic Distortion; line driver; linearity

电力线载波通信(PLCC)技术是指利用配电网中的电力线作为传输媒介, 实现数据传递和信息交换的一种技术。通信过程一般为利用专用的调制解调芯片对数据进行调制, 并加载到电力线上发送出去, 然后再接收、解调、恢复为数据^[1]。窄带电力线载波技术指信号频率在 500 kHz 范围内的通信, 主要用于自动抄表、负荷控制以及家居自动化管理等领域。利用已有的电力线资源进行通信, 既能满足通信需求, 又可克服布线困难, 且基础建设投资 and 日常维护费用低廉, 因此电力线载波通信技术具有很高的经济性和实用性。

线驱动器是电力线载波通信系统中发送端最核心的模块之一, 其本质是一个具有强大电流驱动能力的运算放大器。由于电力线上通常并联有大量的家用电器, 其负载电阻很低, 最小只有几欧姆。在低负载的线驱动器的设计中, 如何提高整体线性度一直是人们关注的重点。Dhanasekara V 利用可调的偏置电流, 在不牺牲功耗的同时减小了交越失真^[2], 却未在其设计中处理由于输出晶体管工作区变化而引入的失真; Bogner P 的设计中使用的 AB 类放大器嵌套了 3 级密勒补偿, 可以获得理想的线性性能^[3], 但是其静态功耗相当大。

收稿日期: 2014-10-11; 修回日期: 2014-11-02

基金项目: 教育部新世纪优秀人才支持计划资助项目(NCET-11-0975); 国家科技重大专项资助项目(2011ZX05008-005-04-02); 湖南省自然科学基金资助项目(12JJ4064)

*通信作者: 谢亮 email:xieliang_007@163.com.

本文针对电力线载波通信的应用要求,采用全差分结构,设计了增益可调的预放大级和静态电流可调的功率输出级,在窄带范围内,输出摆幅达到 $4 U_{PP}$,在负载电阻小至 3Ω 的条件下,总谐波失真(THD)小于 -60 dB 。

1 应用环境

电力线载波通信过程中,数字信号经过数模转换器(Digital to Analog Converter, DAC)、滤波器等模块转换为模拟信号,随后通过线驱动器放大,最后经过线圈耦合到电力线上进行传输。线驱动器与电力线负载的连接示意图如图 1 所示。线驱动器通过线圈驱动负载,负载电阻为图 1 中的 R_{line} ,其电流表示为 U_{line}/R_{line} ,线圈比例为 $1:n$ 。等效到左边,线驱动器的等效单端负载电阻 $R_t=R_{line}/2n^2$,电压为 U_{line}/n 。

假设线驱动器输出电压摆幅为 1 V 。当线圈比例为 $1:1$ 时,线圈负载上的电压摆幅也为 1 V ,此时负载电阻等效到线圈左边为 $2R_{line}/2=R_{line}$ 。当线圈比例为 $1:2$ 时,线圈负载上的电压摆幅为 2 V ,此时负载电阻等效到线圈左边为 $(2R_{line}/2)4=4R_{line}$ 。线驱动器通过提高输出电流来满足负载对功耗的要求。

电力线上的低阻值特性给驱动电路的设计带来了很大的挑战,电力线上并联了许多的家用电器,使得其电阻最低可以小到几欧姆,这对信号发送通路的线驱动器提出了更高的要求:不仅需要提供足够的功率输出,更重要的是具有很好的线性度。

2 电路结构

2.1 整体电路框图

图 2 为线驱动器整体框图,主要包括 2 部分:预放大级电路(Predriver)与驱动级电路(Driver)。预放大级电路提供可调的增益,通过可变电阻改变反馈电阻比例得到预放大级电路不同的闭环增益;驱动级电路提供固定增益和功率输出,电阻 $R_{t1} \sim R_{t2}$ 确定其固定增益,前馈电容 C_t 提供相位补偿。利用内部 AB 类推挽输出级获得大输出功率。驱动级电路具有静态功耗可调功能,在线性度为首要考虑的前提下,不同的负载可选用不同的静态电流。通过负载功耗检测电路得到负载信息,随后反馈给驱动电路选择相应的静态电流,从而避免了轻载时的功耗浪费。

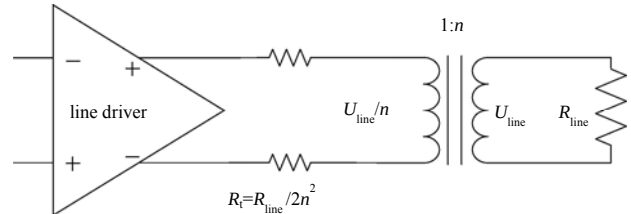


Fig.1 Connection of line driver and load resistance
图 1 驱动与负载的连接示意图

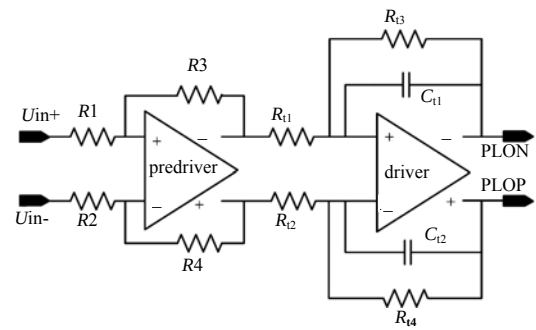


Fig.2 Diagram of line driver
图 2 电路整体框图

2.2 预放大级电路

预放大电路可提供 $1 \text{ dB} \sim 8 \text{ dB}$ 的可变闭环增益,其步进为 1 dB 。系统可变闭环增益通过 $3 \sim 8$ 译码电路改变内部电阻比例来实现。可变增益不仅可以削弱发送通路上其他模块引入的增益误差,还能扩大线驱动器的应用范围。预放大电路后接驱动电路,因此预放大电路要有一定的电容驱动能力。其电路结构如图 3(a)所示。

图 3(a)是预放大级的主电路结构,电路为全差分 2 级运放,因此加入了共模反馈电路,其中 PNM1 和 PNM2 为差分输入对管,PNM8 和 PNM11 构成共源共栅尾电流,PNM11 为共模反馈控制管, R_1, R_2 和 C_1, C_2 为调零电阻和米勒电容,保证运放具有足够的相位裕度。

预放大电路采用 2 级运放来获得大于 100 dB 的开环增益。虽然 AB 类放大器的直流增益更高,然而它的输入-输出特性线性度较差^[4];此外,预放大器驱动下一级容性负载,不需要提供很大的输出电流,因此本文所设计的预放大器采用 A 类结构作为输出级来获得更好的线性特性。为进一步提高预放大级的线性度,将输出器件的尺寸尽可能地增大,从而减小内部信号的摆幅^[5]。

预放大器的第 1 级和第 2 级的共模反馈(Common Mode Feedback, CMFB)误差放大电路如图 3(b)、图 3(c)所示,为提高差分输入对管的线性度,在第 1 级共模反馈误差放大电路中加入源级退化电阻 R (图 3(b)),增加了电路的线性度,此时小信号跨导为 $G_m=g_m/(1+N)$,其中 $N=g_m R/2$ 为源级退化因子。普通的差分对的三阶谐波失真为 $HD_3=(1/32)(U_{id}/U_{DSAT})^2$,加入源级退化电阻的差分对的三阶谐波失真为 $HD_3'=[1/(1+N)]^2 HD_3$,是普通差分对的

$[1/(1+N)]^2$ 倍。第 2 级共模反馈误差放大电路(参见图 3(c))采用了一级差分运放,其输出电压摆幅较大,因此在控制端加入了电阻电容构成的滤波网络来平缓控制信号,此环路不仅可以一定程度上稳定共模电平,还能够加快电路的启动速度,当上电时 U_{CM} 低于 U_{REF} ,第 2 级误差放大器输出高,使得 PNM13 迅速导通,节点 U_A, U_B 被 PNM5, PNM6, PNM13 通路拉低, PPM3, PPM4 迅速导通来提高 U_{IOP}, U_{ION} 的电压。

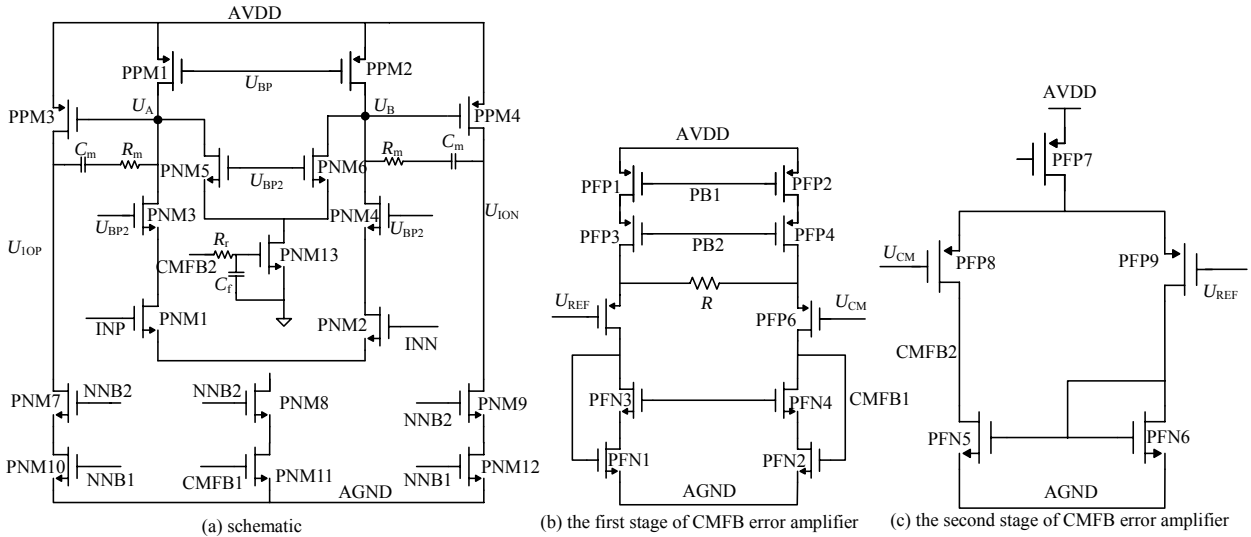


Fig.3 Predriver

图 3 预放大器

2.3 驱动级电路

驱动电路如图 4(a)所示,电路具有 3.5 dB 固定闭环增益,主运放结构为折叠式共源共栅,采用 AB 类推挽输出级提供大的动态电流。PM1 和 PM2 为折叠式差分输入对管,差分结构可以消除信号中的偶次谐波,因而可以改善电路的失真特性,确保电路获得良好的线性度^[6]。NM1 和 NM2 为尾电流,其栅压用作共模反馈信号的控制端。其中电容具有米勒补偿作用,不仅可以提供相位裕度,还可以消除或推远米勒补偿中的零点。驱动电路的增益主要由折叠式共源共栅提供,输出级驱动几欧姆的负载,其输出电阻与负载电阻并联,使得输出级增益很低。Pmos 1, Nmos 1 和 Pmos 2, Nmos 2 构成 AB 类推挽输出级,决定了电路的实际驱动能力。它的晶体管尺寸和偏置电流是面积、功耗和线性度的折中。为了限制交越失真,静态电流必须足够大,同时又要保证电路的功耗不能太大。所以,输出级的偏置必须十分精确,由于输出级的电流驱动能力,任何小的误差都会导致很大的电流涨落^[7]。PM8 和 NM5 以及 NM6 和 PM9 构成跨导线性环来偏置输出级的静态电流。跨导线性环使得输出级 P 管和 N 管的栅极电压存在一个固定的压差,确保了静态时输出晶体管仍处于导通状态,不存在响应死区,从而消除了交越失真,确保了电路良好的线性性能。

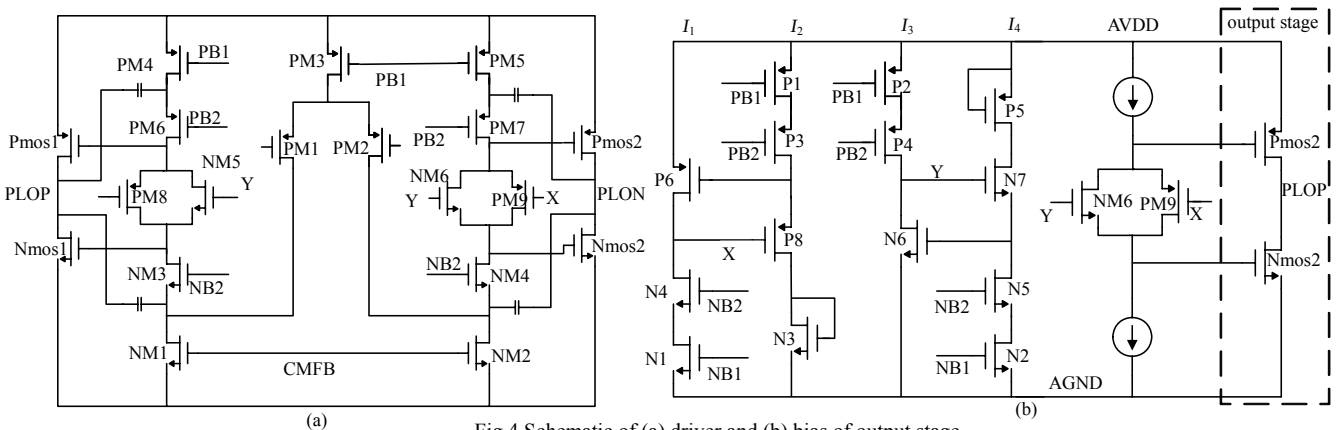


Fig.4 Schematic of (a) driver and (b) bias of output stage

图 4 (a) 驱动电路; (b) 输出级偏置电路

AB 类推挽输出级静态偏置电路如图 4(b)所示, X 节点电位近似等于 $U_{DD}-U_{gs(P6)}-U_{gs(P8)}$, Y 节点电位近似等于 $U_{gs(N6)}+U_{gs(N7)}$ 。静态时, 输出级 P 管的栅电压近似为 $U_{G(Pmos2)} \approx U_X+U_{gs(PM9)} \approx U_X+U_{gs(P8)} \approx U_{G(P6)}$ 。同理输出级 N 管的栅电压近似为: $U_{G(Nmos2)} \approx U_Y-U_{gs(nm6)} \approx U_Y-U_{gs(N7)} \approx U_{G(N6)}$ 。因此输出级静态电流为 $I_1(I_3)$ 的 N 倍, $N=(W/L)_{P2}/(W/L)_{P6}$ 。

AB 类驱动器非线性的主要来源有 2 类: 一类是晶体管失真; 另一类是瞬态中输出晶体管在不同的相位导通引起的交越失真^[8]。沟长调制误差是引起晶体管失真的一个重要因素, 一般通过增大器件尺寸来进行一定程度的改善^[9], 另一方面, 通过设置合适的偏置电压可以最大程度地降低晶体管失真。

本文设计的 AB 类推挽输出级不存在响应死区, 虽然消除了交越失真, 但线驱动电路通过线圈驱动负载时, 在一个周期内, 输出级的 2 个 P 管轮流给负载供电半个周期, 两者轮流导通的过程会引入谐波失真, 因此需要足够的输出级静态电流来减少此失真, 但系统效率和线性度之间仍需折中考虑。因此在满足最低线性度要求的条件下, 电路加入了静态功耗可调, 可以在保证系统性能的前提下提高电路的工作效率。

3 电路后仿真结果

电路基于 SMIC 的 $0.18 \mu\text{m}$ CMOS 工艺实现, 对其功能进行后仿真验证, 输入差分信号摆幅为 1.5 V , 频率为 500 kHz , 预放大级提供 5 dB 增益, 驱动级提供 3.5 dB 固定增益, 线驱动器总增益为 8.5 dB , 负载电阻在 $10 \mu\text{s}$ 处跳变, 阻值从 10Ω 跳变到 3Ω , 预放大级和驱动级输出电压以及输出驱动电流仿真结果如图 5 所示。预放大器差分输出如图 5(a)所示, 摆幅为 1.33 V , 驱动级差分输出如图 5(b)所示, 摆幅为 2.0 V , 负载峰值电流跳变前后如图 5(c)所示, 分别为 200 mA 和 667 mA 。负载跳变过程中, 输出电压不受影响, 而且负载电流平滑过渡。仿真结果表明电路功能正常。

线驱动电路的线性度进行后仿真验证, 输入差分信号峰峰值电压为 1.5 V , 频率为 $100 \text{ kHz} \sim 500 \text{ kHz}$, 步长 100 kHz , 线驱动电路增益选择 $8.5 \text{ dB}, 7.5 \text{ dB}, 6.5 \text{ dB}$ 时, 输出差分电压峰峰值分别为 $4 \text{ V}, 3.56 \text{ V}, 3.18 \text{ V}$, 负载电阻为 3Ω 和 10Ω 时的总谐波失真(THD)仿真结果如图 6 所示。

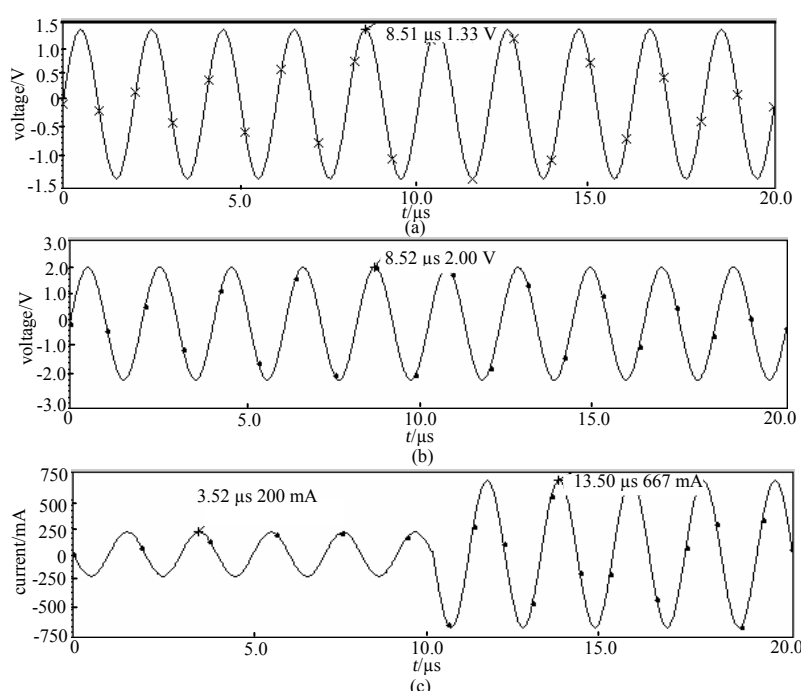


Fig.5 Output of (a) predriver (b) driver (c) current
图 5 (a) 预放大电路输出; (b) 驱动级输出; (c) 负载电流

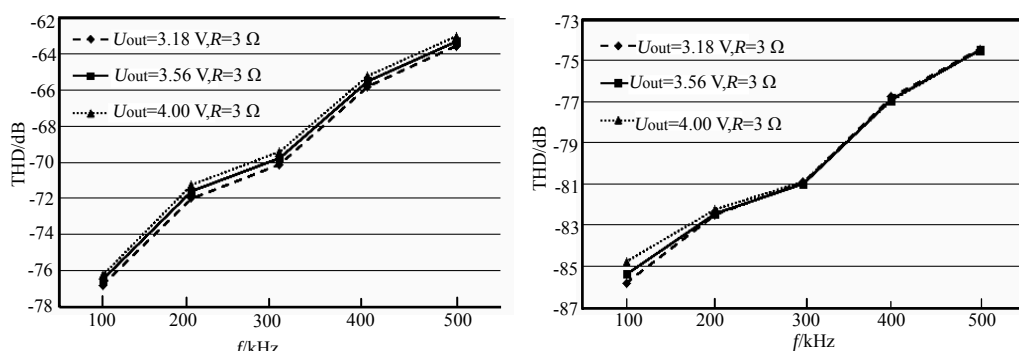


Fig.6 Simulation of linearity
图 6 线性度仿真结果

由图 6 的线驱动器总谐波失真的仿真结果可以看到, 输入信号频率从 $100 \text{ kHz} \sim 500 \text{ kHz}$ 变化时, 线驱动器的

总谐波失真 THD 会随着输入信号频率上升而上升,即线性度会变差。负载电阻越小,输出级提供的电流越大,线性度越差。在 500 kHz 内的窄带电力线通信应用下,电路可以提供最大 4 V 的峰峰值电压摆幅,负载电阻小至 $3\ \Omega$ 的条件下,线驱动器总谐波失真 THD 仍然低于 -60 dB,满足电力线窄带通信对线驱动电路功能和性能的应用要求。

电路采用 SMIC 的 $0.18\ \mu\text{m}$ CMOS 工艺设计,版图如图 7 所示,版图设计时必须充分考虑走线对线驱动电路性能的影响,大部分金属线电流都较大,必须考虑其线压降对电路的影响。

4 结论

线驱动器对于保证窄带电力线载波通信信号完整性具有非常重要的作用,其性能优劣特别是线性度直接影响整个系统性能。本文设计的窄带电力线载波驱动电路输出摆幅可调,静态功耗可调,全差分输入输出。输出电压摆幅峰峰值可调,最大可达 4 V,负载电阻最低至 $3\ \Omega$ 条件下,最大峰值电流可达 667 mA,电路总谐波失真 $\text{THD} < -60\ \text{dB}$,可以很好地满足窄带电力线通信对线驱动电路的应用要求。

参考文献:

- [1] 葛炎风,林苏斌,缪希仁. 基于电力线载波通信技术的智能家居控制系统设计[J]. 现代建筑电气, 2011(3):15-18. (GE Yanfeng, LIN Subin, MIAO Xiren. Design of smart home control system based on power line communication technology[J]. Modern Architecture Electric, 2011(3):15-18.)
- [2] Dhanasekaran, Vijayakumar. Baseband analog circuits in deep-submicron CMOS technologies targeted for mobile multimedia[D]. College Station, USA: Texas A&M University, 2008.
- [3] Peter Bogner, Harun Habibovic, Thomas Hartig. A high signal swing class AB earpiece amplifier in 65 nm CMOS technology[C]// Solid-State Circuits Conference. USA: IEEE, 2006.
- [4] LIU P K, HUNG S Y, LIU C Y, et al. A 52 dBc MTPR line driver for powerline communication HomePlug AV standard in $0.18\ \mu\text{m}$ CMOS technology[C]// Circuits and Systems (ISCAS). [S.l.]: IEEE, 2013:1404-1407.
- [5] Kappes, Michael S. A 3-V CMOS low-distortion class AB line driver suitable for HDSL applications[J]. Solid-State Circuits, 2000, 35(3):371-376.
- [6] HWANG Y S, SHEN J H, CHEN J J, et al. A THD-reduction high-efficiency audio amplifier using inverter-based OTAs with filter-output feedback[J]. Microelectronics Journal, 2014, 45(1):102-109.
- [7] Ingels, Bojja M, Wouters P S. A $0.5\ \mu\text{m}$ CMOS low-distortion low-power line driver with embedded digital adaptive bias algorithm for integrated ADSL analog front-ends[C]// Solid-State Circuits(2002). [S.l.]: IEEE, 2002:324, 470.
- [8] Kasimis C, Psychalinos C. 0.65 V class-AB current-mode four-quadrant multiplier with reduced power dissipation[J]. AEU-International Journal of Electronics and Communications, 2011, 65(7):673-677.
- [9] Esparza-Alfaro F, Lopez-Martin A J, Ramirez-Angulo J, et al. Low-voltage highly-linear class AB current mirror with dynamic cascode biasing[J]. Electronics Letters, 2012, 48(21):1336-1338.

作者简介:



陈 昊(1989-),男,湖南省娄底市人,在读硕士研究生,主要研究方向为模拟集成电路设计
email:si_ding@163.com.

谢 亮(1982-),男,湖南省郴州市人,博士,教授,主要研究方向为 ASIC 设计、ADC、红外传感方向.email:xieliang_007@163.com.

金湘亮(1974-),男,湖南省邵阳市人,博士,教授,主要研究方向为 CMOS 图像传感器和 SOC 设计.

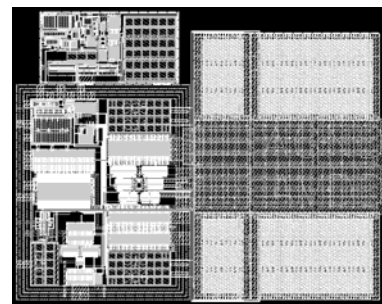


Fig.7 Layout of the line driver
图 7 线驱动电路版图