

文章编号: 2095-4980(2023)07-0916-06

基于 FPGA 的 2CPFSK 全数字中频调制器的设计与实现

廖治宇, 王 鹏

(中国工程物理研究院 电子工程研究所, 四川 绵阳 621999)

摘 要: 针对飞行器数据链中高码速率要求, 需要使用数字技术实现传统模拟调制, 以得到更好的调制性能, 增加系统作用距离。本文介绍了二进制连续相位频移键控(2CPFSK)调制原理, 提出了基于软件无线电架构的 2CPFSK 正交调制算法。该算法利用 2CPFSK 相位累加特性实现了基带数据的分数倍内插, 从而适应宽范围码速率的调制。设计了提高频谱纯度的数字滤波器、基于 FPGA+DAC 架构的数字调制器硬件平台并实现算法。通过与传统模拟频率调制(FM)比较, 该设计提升了 1.7 dB 调制性能, 增加了系统作用距离。

关键词: 二进制连续相位调制; 数字中频调制; 分数倍内插; 高斯成型滤波

中图分类号: TN791.1

文献标志码: A

doi: 10.11805/TKYDA2020701

Design and implementation of 2CPFSK full digital intermediate frequency modulator based on FPGA

LIAO Zhiyu, WANG Peng

(Institute of Electronic Engineering, China Academy of Engineering Physics, Mianyang Sichuan 621999, China)

Abstract: The digital modulation is necessary in order to meet the requirement of higher signal transmission rate in aircraft data link. The better modulating performance and the longer communication distance can be achieved by digital modulation. The principle of 2 Continuous Phase Frequency Shift Keying(CPFSK) modulation with binary continuous phase is introduced. A 2CPFSK quadrature modulation algorithm based on software radio architecture is proposed. By using the phase accumulation property of 2CPFSK, the algorithm realizes the fractional interpolation of baseband data to adapt to the modulation of wide range code rate. A digital filter is also designed to improve spectral purity. The hardware platform of digital modulator based on Field Programmable Gate Array+Digital-to-Analog Converter(FPGA+DAC) architecture is designed and the algorithm is implemented. Compared with traditional analog Frequency Modulation(FM), this design improves the link performance by 1.7 dB and increases the communication distance of the system.

Keywords: 2 Continuous Phase Frequency Shift Keying; digital intermediate frequency modulation; fractional interpolation; Gaussian shaping filter

二进制连续相位频移键控(2CPFSK)技术以其良好的抗噪声和抗衰落性能, 以及实现容易、解调设备比移相键控(Phase Shift Keying, PSK)简单(可直接使用频率调制(FM)解调设备), 信号所占的频带比 2PSK 小等特点, 在无线通信领域中占有相当的优势, 但在国内飞行器数据链中却未得到很好的应用^[1]。目前飞行器的数据链中大多采用模拟 FM 方式。模拟 FM 方式存在调制频偏精确度不高, 稳定性较差(受模拟器件影响)及架构不够灵活等缺点, 不能满足高码速率链路的传输要求。因此, 研制一种适用于飞行器高速信号传输的 2CPFSK 调制器已成为必然。

目前常见的 2CPFSK 数字调制方法以微处理器控制硬件直接数字频率合成技术(Direct Digital Synthesis, DDS)步进字为主^[2], DDS 直接输出中频 2CPFSK 信号, 虽实现较简单, 但存在频谱纯度较低、镜频干扰、可扩展性差等缺点。本文基于 FPGA+DAC 硬件架构平台, 提出一种基于软件无线电思想的全数字调制方法, 采用正交调制^[3]的方式实现 2CPFSK 调制。具有硬件架构简单, 可扩展性强, 性能较好等特点。

收稿日期: 2020-12-15; 修回日期: 2021-04-16

1 CPFSK 调制模型

CPFSK 信号的能量绝大部分集中在 $\pm(1/T_b)$ 的频率范围内，使 CPFSK 的带外功率小于 2PSK 信号。将编码与 CPFSK 结合，CPFSK 具有更大的编码增益能力^[4]。CPFSK 的调制模型为：

$$S_{\text{cpfsk}}(t) = \cos \left[\omega_c + \frac{a_k \pi h_k (t - kT_s)}{T_s} + \pi \sum_{j=0}^{k-1} h_j a_j + \theta_0 \right] \quad (1)$$

式中： ω_c 为载波角频率； T_s 为码元宽度； a_k 、 a_j 为输入数据，取值可能为 $\pm 1, \pm 3, \dots, \pm(M-1)$ ， $M=2n$ ， n 为正整数； h_k 、 h_j 为调制指数，在不同的码元期间，轮流为 h_1, h_2, \dots, h_i ； θ_0 为初始相位常数。

2 数字中频调制器的硬件设计

2.1 总体硬件架构

常用的 2CPFSK 调制根据实现方式可分为 2 类：一类是通过硬件锁相环或 DDS 电路进行调制；另一类是采用软件无线电思想的全数字调制。本设计采用全数字调制方式，即采用 FPGA+DAC 的硬件架构。将正交调制 (Quadrature Modulation) 中 IQ 两路基带信号的调制、脉冲成型、码型变换、中频数字上变频等信号处理工作由 FPGA 完成。FPGA 直接输出数字调制信号，经 DAC 转换为模拟 70 MHz 中频信号。与 DDS 或硬件锁相环实现方式相比，全数字调制的硬件架构通用性更强，其调制指数、码速率灵活可调，且能兼容其他调制体制。

硬件组成如图 1 所示，FPGA 采用 Xilinx 公司的 XC7A100T；DAC 采用 ADI 公司的 14 bit、1.2 Gbps 转换率的 AD9736；锁相环 (Phase Locked Loop, PLL) 采用 AD9517 提供 DAC 参考时钟。DAC 输出采用电流反馈型运放 OPA695 进行信号的差分转单端及放大。

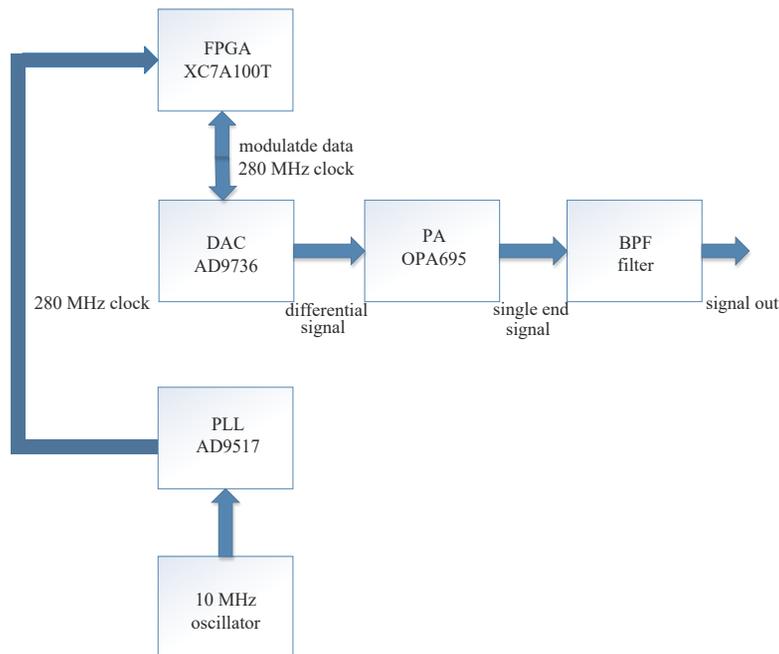


Fig.1 Hardware architecture of 2CPFSK modulator

图1 2CPFSK 调制器硬件架构图

2.2 参考时钟设计

影响输出信号相噪大小的因素有参考时钟、DA 转换器等^[4]，因目标中频为 70 MHz，考虑到 DAC 至少需要 4 倍转换速率才能获得较好的杂散性能，因此 DAC 需要 280 MHz 的参考时钟。为了获得理想的相噪性能，采用锁相环 PLL 提供所需时钟。PLL 参考时钟为 10 MHz 温补晶振，该晶振具有 <-135 dBc@10 kHz 的相位噪声性能。考虑到数据同步要求，PLL 倍频后产生 280 MHz 时钟提供给 DAC，DAC 预处理后提供给 FPGA，FPGA 使用该时钟进行数字信号处理，并输出 280 MHz 的 DAC 参考时钟及数据给 DAC。

2.3 DAC 接口电路设计

AD9736 输出为差分信号，需要差分转单端设计，因此采用电流反馈型运放 OPA695 实现差分转单端设计，并对输出中频信号进行放大。在低增益($G=2$)工况下，OPA695 可提供 $2\ 500\ \text{V}/\mu\text{s}$ 的压摆率以及大于 $1\ 400\ \text{MHz}$ 的带宽。满足 $70\ \text{MHz}$ 输出中频的指标要求。同时与常用的差分转单端的巴伦变压器相比，运放具备灌封和固封工艺要求，可提高产品整体的环境适应性。

3 数字中频调制器的 FPGA 实现

基于 Xilinx 公司 FPGA: XC7A100T-2CSG324 和 ISE14.7 开发环境，使用 VHDL 硬件描述语言，进行调制器的 FPGA 设计实现。2CPFSK 信号参数为二进制，调制指数为 0.5，基带脉冲波形为高斯脉冲。

3.1 实现思路

连续相位调制(Continuous Phase Modulation, CPM)的载波相位为:

$$\varphi(t; a) = 2\pi \sum_{k=-\infty}^n a_k h_k q(t-kT), \quad nT \leq t \leq (n+1)T \tag{2}$$

2CPFSK 是 CPM 的特例，峰值频偏 f_d 是一种调制指数 $a_k = \pm 1$ 的全响应 2CPFSK，其主要参数计算如下:

$$f_d = h/2 \times R_b \tag{3}$$

式中 R_b 为码速率。

把 2CPFSK 的参数值代入 CPM 的载波相位表达式，根据式(2)推导可得

$$\varphi(t; a) = 2\pi \sum_{k=-\infty}^{n-1} a_k h q(t-kT) + 2\pi a_n h q(t-nT) = \pi h \sum_{k=-\infty}^{n-1} a_k + 2\pi a_n h q(t-nT) = \theta_n + \theta(a_n, t) \tag{4}$$

式中 a_n 为输入的基带码元数据。

$$\theta_n = \pi h \sum_{k=-\infty}^{n-1} a_k \quad (a_k = \pm 1) \tag{5}$$

$$\theta(a_n, t) = 2\pi a_n h q(t-nT) = 2\pi a_n h q(t-kT) \tag{6}$$

令 $\theta_k = (h\pi v_k + \varphi_0) \bmod(2\pi)$ ，通常取 $\varphi_0 = 0$ ， $v_k = \sum_{k=-\infty}^{n-1} a_k$ ，可用累加器实现。

3.2 FPGA 实现

2CPFSK 正交调制在 FPGA 中的实现框图如图 2 所示，待调制的码元 a_k 通过累加器得到 v_k 及相位 $\theta(a_k, t)$ 、 θ_k 。通过 2 个正交(sin 序列; cos 序列)的查找表 ROM(Read Only Memory)，得到调制后的基带码流 $I(t)$ 及 $Q(t)$ 数据。 $I(t)$ 及 $Q(t)$ 数据产生详见图 3 所示，通过基带码元的数值，计算当前时刻步进相位与前一个码元周期的累积相位。由于码元速率低于 DDS 产生的数字载波速率，需要进行适当的内插，实现速率上的匹配。考虑到 2CPFSK 调制的积分(累加)特性， $\theta(a'_k)$ 为内插后的步进， N 为内插倍数。

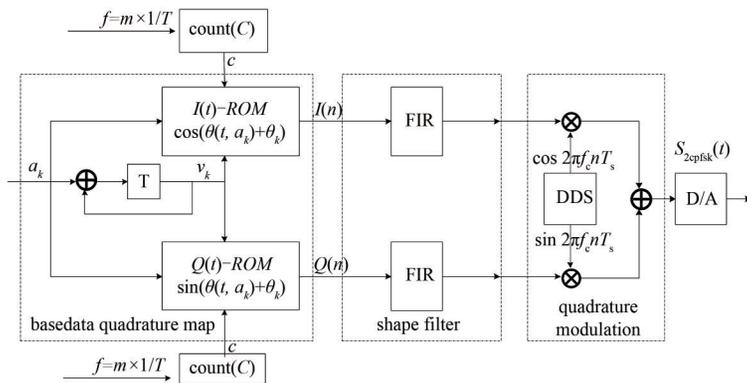


Fig.2 2 CPFSK architecture map
图 2 2CPFSK 实现框图

$$\theta(a_k, t) = N \times \theta(a_k') \quad (7)$$

正交调制的载波数据(由 DDS 产生)速率为 280 Mbps，基带码元速率为 2 Mbps，需要进行 140 倍的内插。内插后当前时刻的步进 $\theta(a_k, t)$ 是一个定值，其大小与调制指数 h 、查找表深度 L 、内插倍数 N 相关，相位步进 P (二进制) 计算见式(8)。

$$P = \left(\frac{h}{2}\right) \times L/N \quad (8)$$

一般的调制/解调算法中，对于分数倍的速率转换通常由多级内插器及抽取器实现^[5]。本算法利用 2CPFSK 调制的积分(累加)特性，直接根据式(8)选取适宜 ROM 表深度及相位累加的步进从而实现分数倍内插，以适应宽范围码速率的调制。不同调制指数对应的步进见表 1。

表 1 不同调制指数对应的步进 $\theta(a_k, t)$

Table1 $\theta(a_k, t)$ with different modulation index h

| modulation index h | depth of LUT L | interpolation N | step of phase (binary) P |
|----------------------|------------------|-------------------|----------------------------|
| 0.5 | 2 000 | 100.0 | 00000100 |
| 0.6 | 2 400 | 120.0 | 00000110 |
| 0.7 | 2 800 | 140.0 | 00000111 |
| 0.7 | 2 510 | 125.5 | 00000111 |

因基带进行过采样，频谱上将产生镜像频率，如图 4 所示，且带外频谱衰减较慢，需要通过低通滤波器抑制数字域过采样产生的镜频干扰和码间串扰^[6]。滤波器采用归一化带宽 0.9 的高斯滤波器，滤波器频率响应如图 5 所示。因滤波前已将基带数据内插至 DDS 产生载波速率，因此不需要进行速率转换，直接进行滤波。

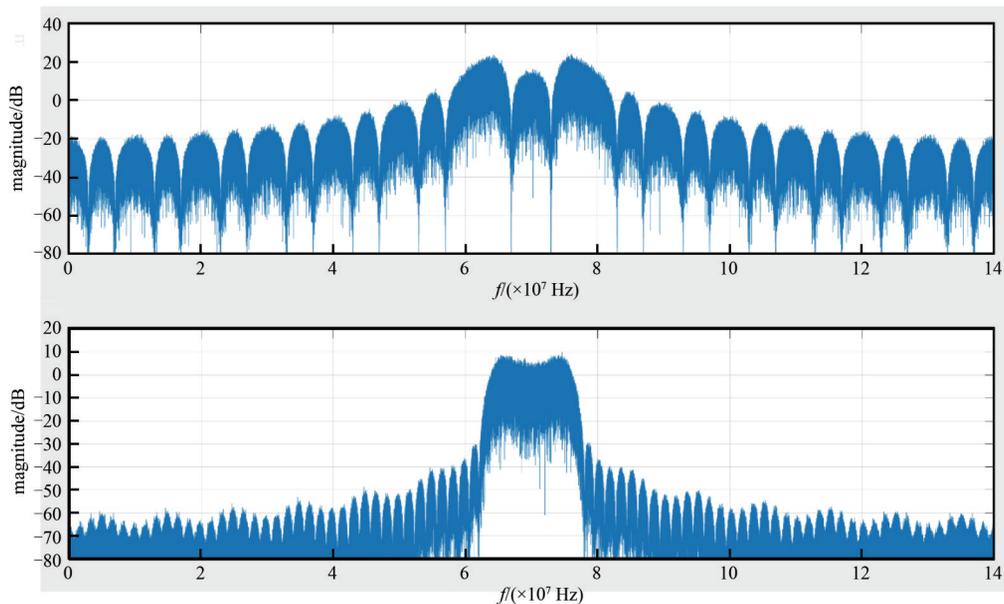


Fig.4 Modulation spectrum comparison before and after filtering

图 4 滤波前后调制频谱对比图

滤波后的 $I(t)$ 及 $Q(t)$ 数据与 DDS 生成的 70 MHz 数字中频载波进行数字正交调制，产生调制后的数字中频信号(70 MHz)。数据截位后通过 FPGA 自带的差分输出缓冲器 OBUFDS 变换成差分信号传输至 DAC。

4 测试结果

采用全数字中频调制器+S 频段上变频器与基带调制器+FM 发射机在同频点下产生的 2 Mbps 2CPFSK/FM 调制信号，对其链路解调门限(10^{-4} 误码率下)、实际调制指数进行对比测试。测试框图如图 6 所示。测试结果如表 2 所示。数据表明，在同样码速率下，数字调制的灵敏度裕量比模拟调制高 1.7 dB，调制精确度也优于模拟调制。

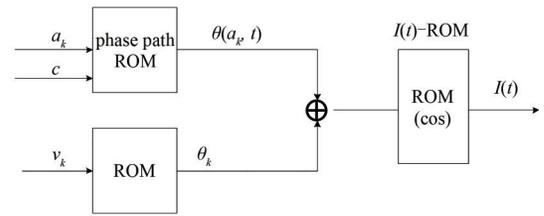


Fig.3 $I(t)$ -ROM architecture

图 3 $I(t)$ -ROM 实现框图

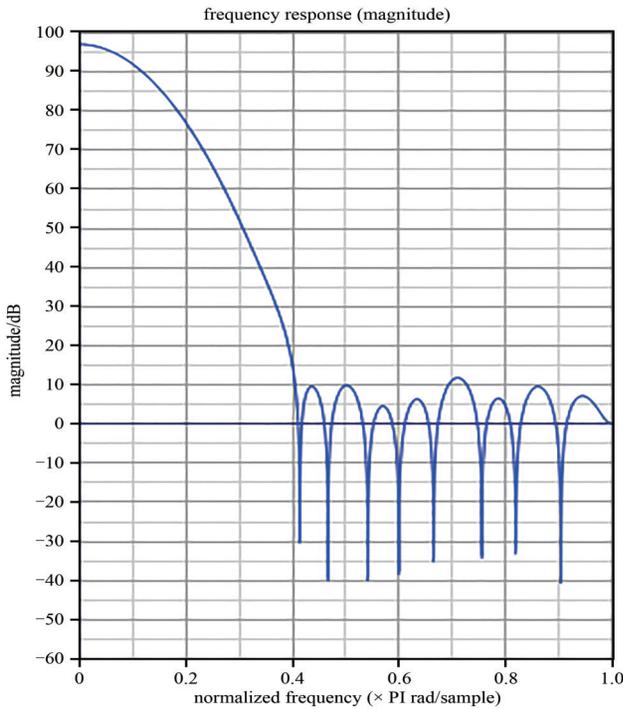


Fig.5 Amplitude-frequency map of shaped filter
图 5 成型滤波器幅频特性图

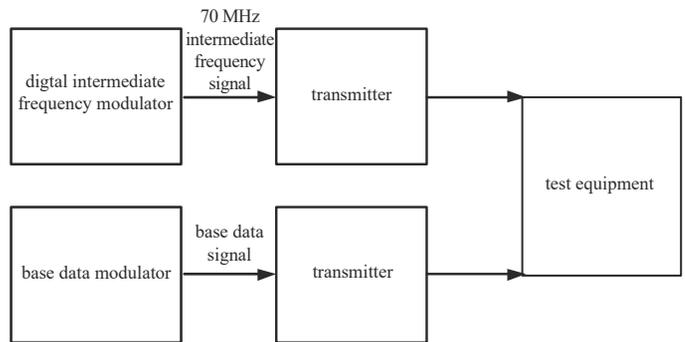


Fig.6 Test block diagram
图 6 测试框图

表 2 与模拟 FM 调制对比测试结果

Table 2 Comparison test results with analog FM modulation

| modulation | modulation index h | modulation index precision/% | demodulation threshold of telemetry (@error rate= 10^{-4}) S/dBW |
|----------------------|----------------------|------------------------------|---|
| base data modulation | 0.739 00 | 5.57 | -125.5 |
| digital modulation | 0.700 19 | 0.27 | -127.2 |

5 结论

本文基于 XC7A100T-2CSG324、FPGA 及 AD9736DAC 的硬件架构，提出了一种 2CPFSK 全数字正交调制算法。该架构与方法具有一定的通用性，可以实现多种体制的全数字调制。试验测试表明，该技术能够有效提升系统的误码率性能，并具调制精确度高、调制频偏稳定的特点。

参考文献：

[1] 孙文友,胡永红,刘海川. 高速 2CPFSK 调制器的设计与实现[J]. 测控技术, 2006,25(12):7-9. (SUN Wenyong,HU Yonghong,LIU Haichuan. Design and realization of high-speed 2CPFSK modulator[J]. Measurement and Control Technology, 2006,25(12):7-9.)

[2] 唐焯. 宽带卫星通信系统中 CPFSK 调制解调技术研究及实现[D]. 西安:西安电子科技大学, 2017. (TANG Ye. Research and implementation of CPFSK modulation and demodulation in broadband satellite communication system[D]. Xi'an,China:Xidian University, 2017.)

[3] 张晓峰,张朋浩,侯永彬. 宽带正交调制器设计与实现[J]. 无线电工程, 2015,45(10):71-73. (ZHANG Xiaofeng,ZHANG Penghao,HOU Yongbin. Design and implementation of broadband quadrature modulator[J]. Radio Engineering, 2015,45(10): 71-73.)

[4] KROUPA Y F. Spectral properties of DDFS: computer simulations and experimental verifications[C]// IEEE International Frequency Control Symposium. Boston,MA,USA:IEEE, 1994:613-623.

[5] 林振江. 宽带数字接收机中小数倍数实时采样率变换算法及 FPGA 实现技术研究[D]. 南京:东南大学, 2015. (LIN Zhenjiang. Research on algorithms of arbitrary fractional sampling rate conversion based on wideband digital receiver and implementation of technology based on FPGA[D]. Nanjing,China:Southeast University, 2015.)

(下转第 927 页)