

文章编号: 2095-4980(2023)10-1271-07

新型二阶磁控忆阻器简化模型的设计与验证

肖 力, 熊炳军, 肖宪伟, 杨 健, 贺娇娇, 汪 洋, 金湘亮*

(湖南师范大学 物理与电子科学学院, 湖南 长沙 410081)

摘 要: 忆阻理论的提出极大地推进了混沌系统的发展, 丰富了混沌电路的动力学行为。运算放大器因其强大的信号处理能力, 成为忆阻器电路模型的重要组成部分。本文基于低功耗差分对构建了一种极简化的运算放大器, 该运算放大器将所需晶体管数目减少至 2 个; 以此运算放大器为基础, 设计了新型二阶磁控忆阻器的模拟等效电路模型和硬件实验电路。结果表明: 激励信号频率增加, 斜“8”字形紧磁滞回线的旁瓣面积减小; 激励信号幅度增加, 斜“8”字形紧磁滞回线的旁瓣面积增加。电路仿真结果与硬件电路实验结果验证了新型磁控忆阻器模型的有效性与设计方法的正确性。

关键词: 低功耗差分对; 新型二阶磁控忆阻器简化模型; 磁滞回线

中图分类号: TN6

文献标志码: A

doi: 10.11805/TKYDA2021259

Design and verification of simplified model of new second-order magnetron memristor

XIAO Li, XIONG Bingjun, XIAO Xianwei, YANG Jian, HE Jiaojiao, WANG Yang, JIN Xiangliang*

(School of Physics and Electronic Science, Hunan Normal University, Changsha Hunan 410081, China)

Abstract: The proposal of memristor theory has greatly promoted the development of chaotic systems, enriching the dynamics of chaotic circuits. The operational amplifier becomes an important part of the memory circuit model due to its powerful signal processing capacity. In this paper, a simplified operational amplifier based on low power differential pair is constructed and this operational amplifier reduces the number of required transistors to two. Then, the simulation equivalent circuit model and hardware experimental circuit of a new type of second-order magnetron memristor are created. The results show that with the increase of the excitation signal frequency, the side lobe area of the "8" decreases; with the increase of the excitation signal amplitude, the side lobe area of the "8" increases. The results of circuit simulation and hardware circuit experiments have verified the validity of the new model of magnetron memristor and the accuracy of the design method.

Keywords: low power differential pair; simplified model of new second-order magnetron control memristor; hysteresis loop

随着全球信息化与 5G 时代的到来, 人类对信息的安全要求日益增长。忆阻器的非线性能够提高混沌系统的系统复杂度, 使系统具有丰富的动力学行为, 忆阻混沌系统更适用于保密通信和图像加密^[1-2]。19 世纪 70 年代, 忆阻器概念与忆阻系统的相关理论被 L O Chua^[3-4]提出, 但没有受到研究者的广泛关注, 直到 2008 年, 惠普实验室成功制造出三明治结构的 TiO₂ 忆阻器^[5], 在全球掀起了一股研究忆阻器的热潮。目前为止, 忆阻器的研究呈现出多种学科交叉融合的特征, 成为材料、电子、物理等领域的前沿和热点^[6]。

目前忆阻器未大规模量产, 因此普通研究人员通过对其建模来研究忆阻特性具有十分重要的意义。研究者首先提出了分段线性函数、二次与三次非线性函数忆阻器数学模型^[7-9], 但这些数学模型只能进行数值仿真, 无

收稿日期: 2021-06-18; 修回日期: 2021-07-15

基金项目: 国家自然科学基金资助项目(61827812); 湖南省科技厅湖湘高层次人才聚集资助项目(2019RS1037); 湖南省科学技术厅创新计划资助项目(2020GK2018; 2019GK4016; 2020RC1003)

*通信作者: 金湘亮 email:jinxl@hunnu.edu.cn

法观察到通过忆阻器的电流与电压波形。随着科技发展, S Benderli 提出了一种忆阻器的 SPICE 宏模型, 此模型能模拟惠普 TiO_2 忆阻器的电学行为^[10]。A RAK 等设计了一种基于窗函数的忆阻器 SPICE 模型, 该模型具有极快且稳定的仿真速度^[11]。遗憾的是, 这些 SPICE 模型不能对忆阻器电路的物理特性进行充分测试, 因此, 需要一个能真正体现忆阻器特性、进行实际测试的模拟等效电路模型。2012 年, X Wang 等基于光敏电阻 (Light Dependent Resistor, LDR) 与运算放大器等提出了一种忆阻器模拟电路模型, 并对该模型的忆阻特性进行了仿真验证与实验测试^[12]。2013 年, 杨芳艳等以基于运算放大器的分段线性忆阻器替换 Chua 电路中的电阻, 形成一种新型的四维混沌电路, 通过数值分析与电路仿真, 证实该混沌电路存在超混沌现象^[13]。2016 年, 阮静雅等将基于运算放大器的二次型磁控忆阻器引入 Lorenz 混沌系统, 设计了一种超混沌电路, 通过仿真与电路实验对该系统的复杂动力学行为进行分析和验证^[14]。2019 年, 黄丽丽等基于运算放大器设计了一种含 2 个磁控忆阻器的五阶混沌振荡电路^[15], 通过数值仿真与电路仿真证明了该混沌系统有着丰富的动力学行为。2021 年, H Wu 等采用运算放大器与模拟乘法器等电子元器件, 设计了一种有源分数阶忆阻器模拟等效电路模型, 将该模型用于混沌电路中, 基于分数阶忆阻器的混沌电路表现出更加丰富的动力学行为^[16]。

运算放大器对于忆阻器模拟等效电路的建立至关重要。传统的运算放大器结构复杂, 功耗高, 占用面积大。本文基于 2 个 N 型金属氧化物—半导体 (N-Metal-Oxide-Semiconductor, NMOS) 管的低功耗差分对设计了一种极简化的新型二阶磁控忆阻器等效电路模型, 并对该模型进行了理论分析、电路仿真与硬件实验验证。此模型与 B Muthuswamy 等^[9]提出的磁控忆阻器不同: 本文采用的磁控忆阻器模型阶数为二阶, 该模型采用的运算放大器为极简化的运算放大器; B Muthuswamy 等提出的磁控忆阻器模型阶数为三阶, 模型采用的运算放大器为传统的集成运算放大器, 此运算放大器的晶体管数目繁多, 占用面积大。本文提出的磁控忆阻器模型在混沌电路应用中具有很高的潜在价值, 可以该磁控模型替换 Chua 电路中的蔡氏二极管, 产生一个四维超混沌系统, 该系统具有更加丰富的动力学行为。该模型也可以引入 Lorenz 混沌电路, 作为系统的反馈项, 产生新的混沌系统。

1 低功耗差分对和磁控忆阻器原理分析

1.1 低功耗差分对原理分析

低功耗差分对由 J Mulder^[17]提出, 不同于 M Johnson^[18]所提出的结构, 该差分对使 MOS 晶体管工作在三极管区域, 而不是在饱和区域。此差分对能用于模拟超大规模集成系统电路, 满足电路低功耗的要求。X Jin 研究团队将低功率差分对应用到相关双采样电路 (Correlated Double Sampling, CDS) 中, 极大地降低了电路的功耗和噪声^[19]。传统差分对与低功耗差分对的基本结构如图 1 所示。

假定 U_{bias} 为电流镜的输入电压, 通过式(1)可将电流镜的输入电压 U_{bias} 转化为电流镜输入电流 I_{bias} :

$$U_{\text{bias}} = \sqrt{\frac{L}{W} \times \frac{2}{\beta} I_{\text{bias}}} + U_{\text{th}} \quad (1)$$

式中: U_{th} 为 MOS 晶体管阈值电压; W 和 L 为晶体管的宽度和长度; β 为跨导因子。当低功耗单端差分对工作在强反型区时, 其传递函数如式(2)所示:

$$I_{\text{out}} = \frac{I_{\text{bias}}}{2} - \frac{W}{L} \times \frac{\beta}{2} U_{\text{in}} \sqrt{\frac{L}{\beta W} I_{\text{bias}} - \left(\frac{U_{\text{in}}}{2}\right)^2} \quad (2)$$

在 Multisim 中仿真传统差分对与低功耗差分对的 U - I 特性。2 个差分对电路采用 5 V 直流供电、0.9 V 直流偏置电压, 输入信号范围 -0.2~0.2 V。电路仿真参数为: $U_{\text{th}}=0.75$ V、 $\beta=48 \mu\text{A}/\text{V}^2$ 、 $W=108 \mu\text{m}$ 、 $L=7 \mu\text{m}$, 模拟体效应的 K 因子为 $0.28\sqrt{U}$ 。仿真结果如图 2 所示, 图 2 清楚地表明, 低功耗差分对和传统差分对的 U - I 特性与两者的传递函数一致。

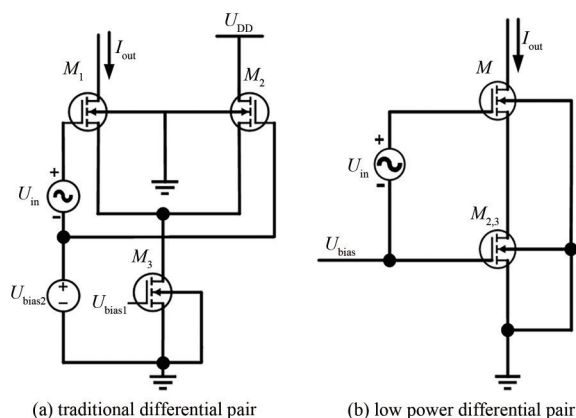


Fig.1 Two different differential pair structures

图 1 两种不同差分对结构

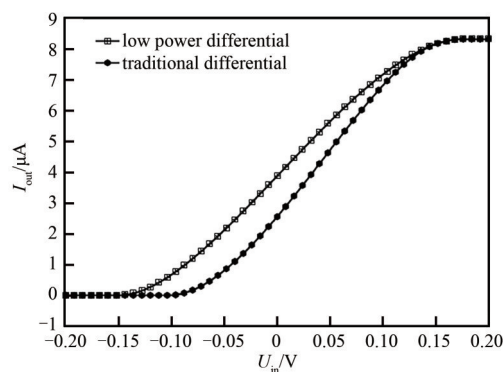


Fig.2 Input and output characteristic curves of traditional differential pair and low-power differential pair

图 2 传统差分对与低功耗差分对输入输出特性曲线

1.2 磁控忆阻器原理分析

磁控忆阻器描述了磁通与电荷的关系，用泰勒级数的形式将两者关系写为：

$$q(\varphi) = \sum_{n=1}^{\infty} a_n \varphi^n \quad (3)$$

式中 a_n 为磁通量系数。根据式(3)，推出磁控忆阻器的忆导值为：

$$G(\varphi) = \frac{dq(\varphi)}{d\varphi} = \sum_{n=1}^{\infty} n a_n \varphi^{n-1} \quad (4)$$

进而得到磁控忆阻器的电流与电压关系为：

$$i(t) = G(\varphi)U(t) = \left(\sum_{n=1}^{\infty} n a_n \varphi^{n-1} \right) U(t) \quad (5)$$

设输入信号为正弦波电压： $U(t) = U_{in} \sin \omega t$ ，故磁通为：

$$\varphi(t) = \int_0^t U_{in} \sin(\omega t) dt = \frac{U_{in}}{\omega} (1 - \cos \omega t) \quad (6)$$

本文对二阶磁控忆阻器进行研究讨论，根据式(5)得

$$i(t) = [a_1 + a_2 \varphi(t)] U(t) \quad (7)$$

式中 a_1, a_2 为常数。将式(6)代入式(7)得

$$i(t) = \left[a_1 + a_2 \frac{U_{in}}{\omega} (1 - \cos \omega t) \right] U_{in} \sin \omega t = \left(a_1 + a_2 \frac{U_{in}}{\omega} \right) U_{in} \sin \omega t - a_2 \frac{U_{in}^2}{2\omega} \sin 2\omega t \quad (8)$$

当输入正弦波电压频率趋近无穷大时，式(8)可简化为：

$$i(t) = a_1 U_{in} \sin \omega t \quad (9)$$

式(9)表明：当激励信号频率趋近无穷大时，磁控忆阻器已退化为电导值为 $1/a_1$ 的纯电导。推导出斜“8”字形磁滞回线在第一象限所围成的面积为：

$$s_1 = \left| \int_0^{\frac{\pi}{\omega}} i(t) \omega U_{in} \cos(\omega t) dt \right| = \left| \int_0^{\frac{\pi}{\omega}} \left[\left(\frac{\omega a_1 U_{in}^2}{2} + \frac{a_2 U_{in}^3}{2} \right) \sin 2\omega t - \frac{a_2 U_{in}^3}{2} \sin 2\omega t \cos \omega t \right] dt \right| =$$

$$\left| \int_0^{\frac{\pi}{\omega}} \left[\left(\frac{\omega a_1 U_{in}^2}{2} + \frac{a_2 U_{in}^3}{2} \right) \sin 2\omega t - \frac{a_2 U_{in}^3}{4} \sin 3\omega t - \frac{a_2 U_{in}^3}{4} \sin \omega t \right] dt \right| = \frac{2U_{in}^3}{3\omega} a_2 \quad (10)$$

根据磁滞回线的对称性，该磁控忆阻器磁滞回线围成的总面积为：

$$s = 2s_1 = \frac{4U_{in}^3}{3\omega} a_2 \quad (11)$$

式(11)表明：磁控忆阻器磁滞回线旁瓣面积与输入电压频率成反比，与输入电压振幅的立方成正比。下文通过 Multisim 仿真与硬件实验对式(9)与式(11)中的忆阻特性进行验证。

2 新型二阶磁控忆阻器简化模拟等效电路模型

新型二阶磁控忆阻器电路原理如图3所示。每一级输出电路描述如下：第一级电路由 M_1, M_2, R_1, C_1, C_2 和 R_3 组成反相积分器，将电压转换为磁通量，图3中 R_1 和 C_1 确定积分器的积分时间常数 τ ， C_2 与 R_3 构成高通滤波器，该滤波器可以消除直流偏置引起的直流分量对电路的影响。当忆阻器的输入信号 $U_{in1} = U_{in2} = U_i(t)$ 时，可将反相积分器的输出 $U_1(t)$ 表示为：

$$U_1(t) = -\frac{1}{\tau} \int U_i(t) dt = -\frac{1}{R_1 C_1} \int U_i(t) dt = -\frac{1}{R_1 C_1} \varphi(t) \quad (12)$$

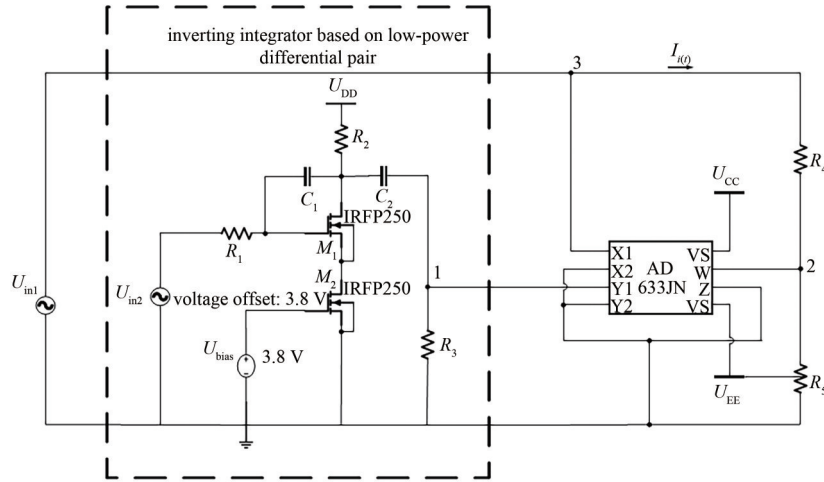


Fig.3 Equivalent circuit of new second-order magnetron memristor simplified model

图3 新型二阶磁控忆阻器简化模型等效电路

将第一级代表磁通量的电压 $U_1(t)$ 与输入电压信号 $U_i(t)$ 输入到模拟乘法器 AD633JN 中, 实现两路信号的相乘, 计算出第二级乘法器输出信号 $U_2(t)$ 为:

$$U_2(t) = \frac{U_i(t) \times U_1(t)}{10} = -\frac{U_i(t)\phi(t)}{10R_1C_1} \quad (13)$$

模拟乘法器 AD633JN 的增益为 0.1, 故负载电阻 R_4 两端电压为:

$$U_3(t) - U_2(t) = U_i(t) + \frac{U_i(t)\phi(t)}{10R_1C_1} = U_i(t) \left[1 + \frac{\phi(t)}{10R_1C_1} \right] \quad (14)$$

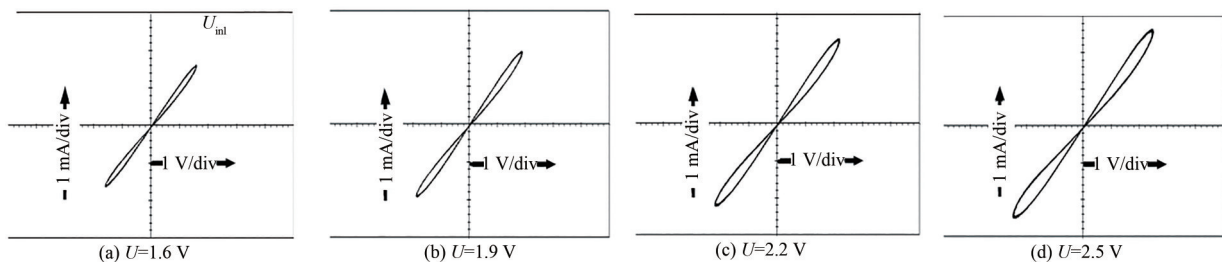
可得到该磁控忆阻器输入电流 $I_i(t)$ 为:

$$I_i(t) = \frac{U_3(t) - U_2(t)}{R_4} = U_i(t) \left[\frac{1}{R_4} + \frac{\phi(t)}{10R_4R_1C_1} \right] \quad (15)$$

最终推算出此二阶磁控忆阻器模型忆导值为:

$$G(\phi(t)) = \frac{I_i(t)}{U_i(t)} = \frac{1}{R_4} + \frac{\phi(t)}{10R_4R_1C_1} = \frac{1}{R_4} \left[1 + \frac{\phi(t)}{10R_1C_1} \right] \quad (16)$$

在 Multisim 中对该模型进行电路仿真, 选择电路参数 $C_1=100$ nF、 $C_2=1$ μ F、 $R_1=R_3=20$ k Ω 、 $R_2=67$ Ω 、 $R_4=R_5=1$ k Ω 、 $U_{bias}=+3.8$ V、 $U_{DD}=+11$ V、 $U_{CC}=+18$ V、 $U_{EE}=-18$ V 为固定参数, U_{in1} 与 U_{in2} 为可变参数。当交流信号源 U_{in1} 与 U_{in2} 的频率固定为 80 Hz 时, 此磁控模型的磁滞回线旁瓣面积随 U_{in1} 与 U_{in2} 的振幅增大而增大; 当交流信号源 U_{in1} 与 U_{in2} 的振幅固定为 2.5 V 时, 此磁控模型的磁滞回线旁瓣面积随 U_{in1} 与 U_{in2} 的频率增大而减小; 当 U_{in1} 与 U_{in2} 的频率趋近某一极限频率, 此磁控模型的磁滞回线退化成一条直线。需要说明的是, 在仿真与硬件实验中, 交流信号源 U_{in1} 与 U_{in2} 的振幅与频率始终保持相同, 不同的是交流信号源 U_{in2} 设置了 3.8 V 的电平偏移, 设置电平偏移是为 MOS 管 M_1 提供合适的静态工作点, 使其能正常工作。仿真结果如图 4 和图 5 所示。根据式(16)与仿真参数, 推导出此二阶磁控模型的等效忆导值为 $G(\phi(t))=0.001+0.05\phi(t)$ 。

Fig.4 Simulated U - I characteristic curves of the second-order magnetron memristor under different amplitude excitations图4 不同振幅激励下的二阶磁控忆阻器仿真 U - I 特性曲线

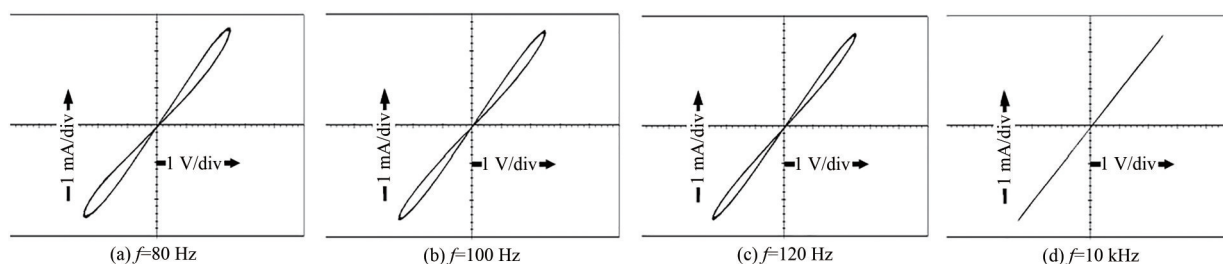


Fig.5 Simulated U - I characteristic curves of second-order magnetron memristor under different frequency excitations

图 5 不同频率激励下的二阶磁控忆阻器仿真 U - I 特性曲线

图 4 表明，此二阶磁控忆阻器磁滞回线旁瓣面积与输入激励信号振幅成正比，这与式(11)理论分析一致。

图 5 表明：此二阶磁控忆阻器磁滞回线旁瓣面积与输入激励信号频率成反比，当激励信号频率趋近某一极限值时，磁滞回线收缩为一条单值函数，这与式(11)和式(9)的理论分析是一致的。

3 实验验证

为进一步验证该模型的正确性，根据图 3 搭建了如图 6 所示的硬件实验测试电路。电路元件参数与上文仿真参数一致。实验电路中采用 IRFP250 大功率管、精密瓷片电容与金属膜电阻，模拟乘法器为 AD633JN 四象限乘法器；采用 Tektronix TBS1102 数字存储示波器捕获测量波形，使用函数信号发生器 RIGOL DG1022U 产生交流正弦激励信号，使用程控电源 RIGOL DP832 提供 NMOS 管 M_2 的直流偏置电压与 NMOS 管 M_1 的供电电压。

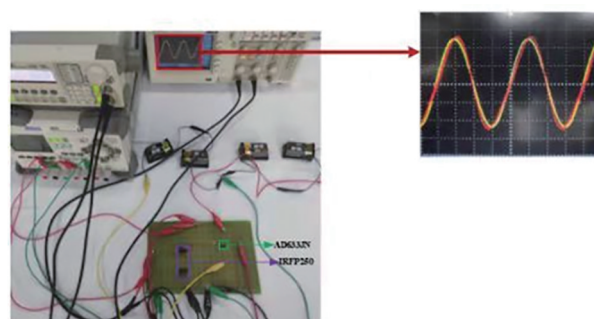


Fig.6 Test circuit of hardware experiment

图 6 硬件实验测试电路

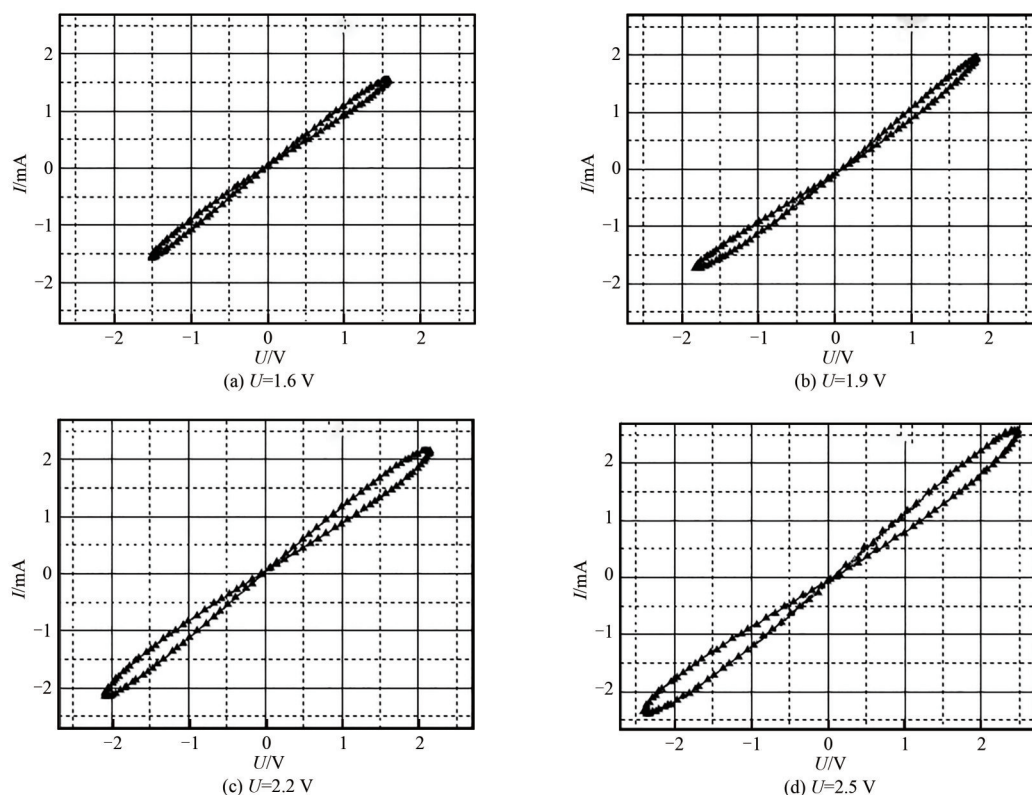


Fig.7 Experimental U - I characteristic curves of second-order magnetron memristor hardware circuit under different amplitude excitations

图 7 不同振幅激励下的二阶磁控忆阻器硬件电路实验测试 U - I 特性曲线

模拟乘法器 AD633JN 的直流供电电压, 由 4 节 9 V 干电池组成的正负电源提供。本文采用间接测量法捕捉电流波形, 将数字示波器 CH1 通道的红表笔接到图 3 中的节点 1, 将 CH1 通道的红表笔接到图 3 中的节点 2。将 CH1 通道信号与 CH2 通道信号作差, 由于取样电阻 R_s 阻值为 1 k Ω , 因此数字示波器上两通道作差后的红色信号为电流幅值放大 1 000 倍的波形, 黄色信号为该磁控模型输入电压波形。

从图 6 中可以看出, 红色电流信号滞后于黄色电压信号, 这为采集示波器数据来拟合此磁控模型的磁滞回线提供了实验依据。采集数字存储示波器数据并拟合数据, 得出结果如图 7 与图 8 所示。

综合式(9)、式(11)、图 4、图 5、图 7 和图 8 可以看出, 新型低功耗二阶磁控简化模型的理论分析、电路仿真结果与硬件电路实验结果三者基本上符合。而仿真和实验观察到的波形存在差异, 是因为实际电路中的非理想元器件和电源引入的噪声引起的。

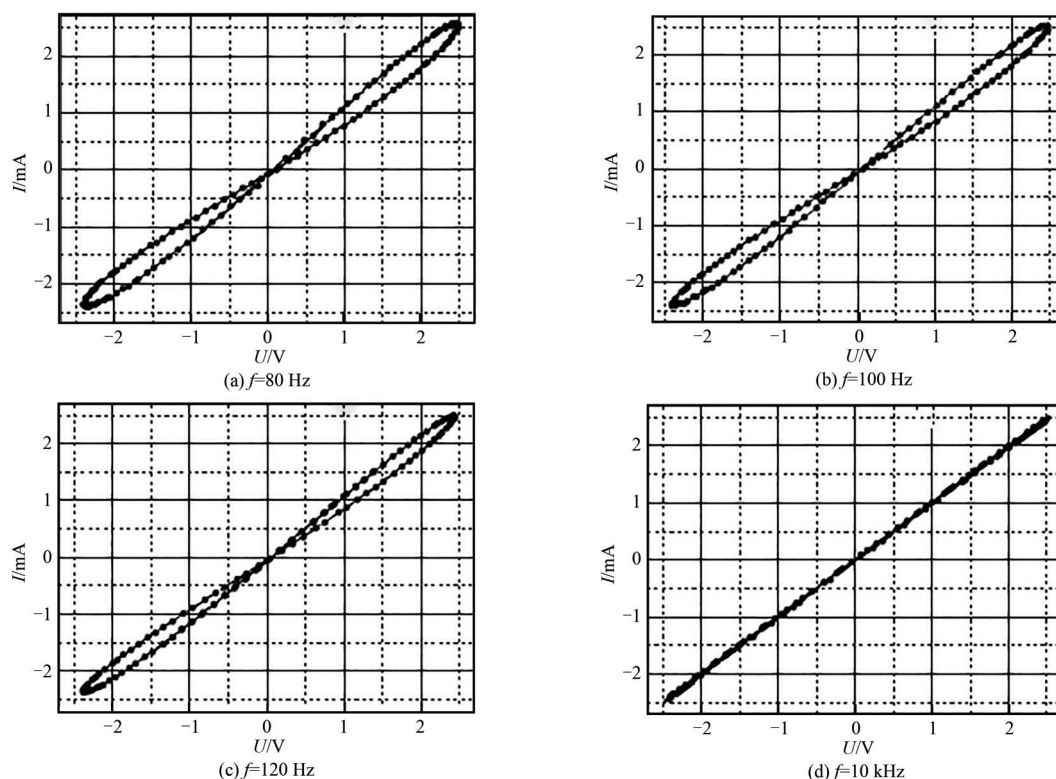


Fig.8 Experimental U - I characteristic curves of the second-order magnetron memristor hardware circuit under different frequency excitations

图 8 不同频率激励下的二阶磁控忆阻器硬件电路实验测试 U - I 特性曲线

4 结论

构成忆阻器等效电路模型的传统运算放大器结构复杂, 功耗大, 占用面积大。本文基于一种低功率差分对设计了一种新型二阶磁控忆阻器简化模拟等效电路模型, 为设计忆阻器模拟电路等效模型提供了一种新思路。为验证该模型的正确性, 对其进行了理论分析、电路仿真与硬件电路实验。三者结果基本一致, 表明了此磁控模型的伏安曲线具有斜“8”字形紧磁滞回线电学特性, 其磁滞回线旁瓣面积与激励信号振幅成正比, 与激励信号频率成反比。实验结果验证了此磁控模型的物理可实现性, 下一步将研究基于该模型的混沌系统。

参考文献:

- [1] BAPTISTA M S. Cryptography with chaos[J]. Physics Letters A, 1998,240(1-2):50-54. doi:10.1007/3-540-45311-3_30.
- [2] GAO T, CHEN Z. A new image encryption algorithm based on hyper-chaos[J]. Physics Letters A, 2008,372(4):394-400. doi:10.1016/j.physleta.2007.07.040.
- [3] CHUA L. Memristor—the missing circuit element[J]. IEEE Transactions on Circuit Theory, 1971,18(5):507-519. doi:10.1109/TCT.1971.1083337.
- [4] CHUA L O, KANG S M. Memristive devices and systems[J]. Proceedings of the IEEE, 1976,64(2):209-223. doi:10.1109/PROC.1976.10092.

- [5] STRUKOV D B, SNIDER G S, STEWART D R, et al. The missing memristor found[J]. Nature, 2008, 453(7191): 80–83. doi: 10.1038/nature06932.
- [6] ZHU Xuan, TANG Yuhua, WU Chunqing, et al. Impact of multiplexed reading scheme on nanocrossbar memristor memory's scalability[J]. Chinese Physics B, 2014, 23(2): 552–556. doi: 10.1088/1674-1056/23/2/028501.
- [7] ITOH M, CHUA L O. Memristor oscillators[J]. International Journal of Bifurcation and Chaos, 2008, 18(11): 3183–3206. doi: 10.1142/S0218127408022354.
- [8] BAO Bocheng, XU Jianping, LIU Zhong. Initial state dependent dynamical behaviors in a memristor based chaotic circuit[J]. Chinese Physics Letters, 2010, 27(7): 51–53. doi: 10.1088/0256-307X/27/7/070504.
- [9] MUTHUSWAMY B. Implementing memristor based chaotic circuits[J]. International Journal of Bifurcation and Chaos, 2010, 20(5): 1335–1350. doi: 10.1142/S021812741002651.
- [10] BENDERLI S, WEY T A. On SPICE macromodelling of TiO_2 memristors[J]. Electronics Letters, 2009, 45(7): 377–379. doi: 10.1049/el.2009.351.
- [11] RAK A, CSEREY G. Macromodelling of the memristor in SPICE[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(4): 632–636. doi: 10.1109/TCAD.2010.2042900.
- [12] WANG Xiaoyuan, Fitch A L, IU H H C, et al. Implementation of an analogue model of a memristor based on a light-dependent resistor[J]. Chinese Physics B, 2012, 21(10): 108501. doi: 10.1088/1674-1056/21/10/108501.
- [13] 杨芳艳, 冷家丽, 李清都. 基于 Chua 电路的四维超混沌忆阻电路[J]. 物理学报, 2014, 63(8): 30–37. (YANG Fangyan, LENG Jiali, LI Qingdou. The 4-dimensional hyperchaotic memristive circuit based on Chua's circuit[J]. Acta Physica Sinica, 2014, 63(8): 30–37.) doi: 10.7498/aps.63.080502.
- [14] 阮静雅, 孙克辉, 牟俊. 基于忆阻器反馈的 Lorenz 超混沌系统及其电路实现[J]. 物理学报, 2016, 65(19): 25–35. (RUAN Jingya, SUN Kehui, MU Jun. Memristor-based Lorenz hyper-chaotic system and its circuit implementation[J]. Acta Physica Sinica, 2016, 65(19): 25–35.) doi: 10.7498/aps.65.190502.
- [15] 黄丽丽, 雷腾飞, 臧红岩, 等. 含两个磁控忆阻器的五阶混沌电路设计[J]. 太赫兹科学与电子信息学报, 2020, 18(3): 449–455. (HUANG Lili, LEI Tengfei, ZANG Hongyan, et al. Design of a five-order chaotic circuit with two flux-controlled memristors[J]. Journal of Terahertz Science and Electronic Information Technology, 2020, 18(3): 449–455.) doi: 10.11805/TKYDA2019305.
- [16] WU Huagan, BAO Bocheng, CHEN Mo C. Threshold flux-controlled memristor model and its equivalent circuit implementation[J]. Chinese Physics B, 2014, 23(11): 589–594. doi: 10.1088/1674-1056/23/11/118401.
- [17] MULDER J, VAN De GEVEL M, VAN ROERMUND A H M. A reduced-area low-power low-voltage single-ended differential pair[J]. IEEE Journal of Solid-State Circuits, 1997, 32(2): 254–257. doi: 10.1109/4.551919.
- [18] JOHNSON M G. An input-free V_{sub}/T extractor circuit using a two-transistor differential amplifier[J]. IEEE Journal of Solid-State Circuits, 1993, 28(6): 704–705. doi: 10.1109/4.217988.
- [19] JIN X. Principle of simple correlated double sampling and its reduced-area low-noise low-power circuit realization[J]. Analog Integrated Circuits and Signal Processing, 2010, 65(2): 209–215. doi: 10.1007/s10470-010-9487-3.

作者简介:

肖 力(1996–), 男, 在读硕士研究生, 主要研究方向为忆阻器电路模型研究. email: 857226507@qq.com.

熊炳军(1995–), 男, 在读硕士研究生, 主要研究方向为 CMOS 温度传感器、低功耗模拟集成电路设计.

肖宪伟(1998–), 男, 在读硕士研究生, 主要研究方向为信号处理与嵌入式系统.

杨 健(1996–), 男, 在读硕士研究生, 主要研究方向为单光子雪崩二极管的设计.

贺娇娇(1996–), 女, 在读硕士研究生, 主要研究方向为模拟集成电源设计.

汪 洋(1994–), 男, 在读博士研究生, 主要研究方向为高压 ESD 器件设计.

金湘亮(1974–), 男, 博士, 教授, 主要研究方为新型传感器与混合集成电路设计.