文章编号：2095-4980(2024)08-0878-10

一种基于CMOS的宽带抗阻塞射频接收机设计

杨静致[a]，翁振豪[a]，高志强[*a]，王　琮[b]

(哈尔滨工业大学 a.航天学院；b.电子与信息工程学院，黑龙江 哈尔滨 150001)

摘　要：针对在多频段、多模式无线通信应用中传统射频接收机频段单一、集成度低的问题，基于N通道滤波技术与接收机集成化技术，提出一种基于互补金属氧化物半导体(CMOS)的宽带抗阻塞射频接收机。该接收机集成*N*通道混频器与基带滤波器，在65 nm CMOS工艺下进行版图测试。仿真实验结果表明，该接收机在5 MHz的基带带宽外提供超过60 dB的带外阻塞抑制，频率调谐范围0.25~2.5 GHz；前置内嵌巴伦的低噪声放大器，使接收机转换增益达到46 dB，同时降低整体噪声系数至3.1~4 dB；实现了24.5 dBm的带外三阶交调截取点(IIP3)，功耗为26 mW。

关键词：射频接收机*N*通道滤波器；低噪声放大器；混频器；抗阻塞

中图分类号：TN914.42　　**文献标志码：**A　　**doi：**10.11805/TKYDA2023013

Design of a broadband blocker-tolerant RF receiver based on CMOS

YANG Jingzhi[a]，WENG Zhenhao[a]，GAO Zhiqiang[*a]，WANG Cong[b]

(a.School of Astronautics；b.School of Information and Communication，Harbin Institute of Technology，Harbin Heilongjiang 150001，China)

Abstract: Aiming at the problem of single frequency band and low integration of traditional RF receivers in multi-band and multi-mode wireless communication applications, a broadband blocker-tolerant RF receiver based on Complementary Metal Oxide Semiconductor(CMOS) with *N*-path filtering and receiver integration technology is proposed. The receiver integrates an *N*-path mixer and baseband filter. Layout testing under 65 nm CMOS process shows that the receiver provides more than 60 dB of out-of-band rejection outside of the 5 MHz baseband bandwidth and frequency tuning range of 0.25~2.5 GHz. The front balun's low-noise amplifier achieves a receiver conversion gain of 46 dB while reducing the overall Noise Figure(NF) to 3.1~4 dB. The receiver also achieves 24.5 dBm Out-of-Band Third-order Intercept Point(IIP3) and consumes only 26 mW.

Keywords: RF receiver *N*-path filter; low-noise amplifier; mixer; blocker-tolerant

随着无线通信技术的发展，多频段、多模式、多标准无线通信应用的广泛共存成为一个重要的趋势[1]。这一趋势促使了射频接收机的集成化设计，特别是对于市面上广泛应用的集成度低、频段单一的集成多窄带低噪放(Low Noise Amplifier，LNA)、多声表面波(Surface Acoustic Wave，SAW)滤波器接收机[2-3]，目前在长期演进(Long Term Evolution，LTE)[4]、射频识别(Radio Frequency Identification，RFID)[5]领域都涌现了新的集成化多模式接收机作为替代，同时也向着高频、超宽带[6]和低噪声[7]方向发展。

作为声表面波滤波器的替代，可调频、高线性度、高*Q*值的*N*通道滤波器成为研究热点[8]。对于如何将*N*通道滤波器集成在射频接收机中，借助*N*通道滤波器的高选择性实现高带外抑制、多频段、高线性度和低噪声的抗阻塞(blocker-tolerant)接收机，主要手段有：将*N*通道滤波器直接作为混频器的优先混频(Mix-first)技术，其混频器采用多相无源混频器结构，基带电容呈现低通特性，由于无源混频器的双向作用，该低通特性的阻抗会被搬移至射频频率处，形成带通阻抗特性，从而抑制带外阻塞信号[9-10]；引入辅助路径的噪声消除混频技术，辅助通路能够检测主通路的噪声，并在差分输出端实现噪声抵消[11]；将*N*通道滤波器置于LNA前端，直接当作可调带通滤波器使用[12]以及将*N*通道滤波器置于反馈路径[13]的直接集成技术。上述技术手段各有优劣：优先混频结

收稿日期：2023-01-12；**修回日期：**2023-03-14

基金项目：国家自然科学基金资助项目(NSFC20220286)

[*]**通信作者：**高志强　email:gao_zhiqiang@hit.edu.cn.

构最简单，但噪声抑制较差；采用辅助路径拥有最优的噪声性能，但结构复杂；直接集成技术则对N通道滤波器的设计提出较高要求。

本文基于上述研究现状与技术，提出一种具有集成巴伦—LNA、N通道混频器和基带滤波器的抗阻塞射频接收机。测试结果表明，该接收机具有高转换增益、高带外抑制、高线性、低噪声的特点，为射频接收机与N通道滤波器的结合和集成化提出一种可行的方案。

1　宽带抗阻塞射频接收机设计

1.1 整体电路与N通道混频器设计

宽带抗阻塞接收机整体电路如图1所示。主要由以下部分组成：第1部分为低噪声放大器(LNA)，作用为放大输入信号、抑制接收机噪声同时一定程度上减弱带外干扰；第2部分为混频器，本文提出一种由N通道滤波器衍生的N通道混频器结构，通过2倍频率的数字时钟信号经过分频器后产生的本振信号(Local Oscillator，LO)驱动，将高频信号下变频到基带，分解为I、Q信道，并通过第3部分的基带滤波器进行滤波，具有高带外抑制与高线性度。若需驱动图1所示电路，则需输入相当于2倍LO频率，并通过分频电路产生相位差为90°的不交叠时钟。输出端U_{BB}表示转换到基带的电压信号。

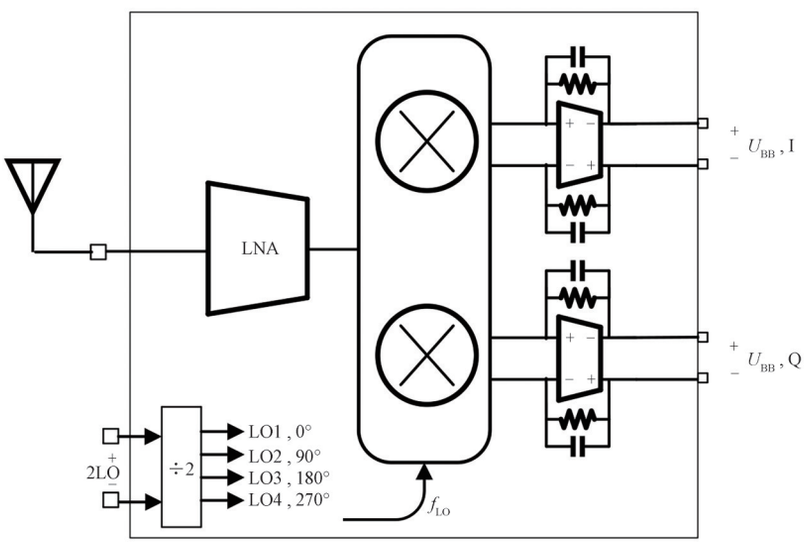


Fig.1 Integral circuit of broadband blocker-tolerant receiver
图1 宽带抗阻塞接收机整体电路

N通道混频器与基带滤波器构成的混频结构兼具混频器与滤波器的特点，是宽带抗阻塞接收机的核心模块。其工作原理与N通道滤波器原理近似。图2(a)为传统N通道滤波器的等效电路。对于简化的基带阻抗$Z_{BB}(\omega)$，假设在射频输入处注入理想电流源$I_{RF}(t)$，在其射频端输入处产生电压$U_{RF}(t)$，由于本地振荡器时钟不重叠，在任何给定时刻只有第$i(i=1,2,\cdots,N)$个分支被打开，它的注入电流为$i_{BB,i}(t)$，在这个分支上产生的电压为$U_{BB,i}(t)$。设本振时钟的时钟周期为T_{LO}，当第N个支路打开时，输出设为1；否则为0。则本振时钟函数$S_i(t)$为：

$$\begin{cases} S_1(t)=\begin{cases} 1,\ kT_{LO}\ll t<\left(k+\dfrac{1}{N}\right)T_{LO},k\notin Z \\ 0,\ \left(k+\dfrac{1}{N}\right)T_{LO}\ll t<(k+1)T_{LO},k\notin Z \end{cases} \\ S_i(t)=S_1\left(t-\dfrac{i-1}{N}T_{LO}\right),\quad i=2,3,\cdots,N \end{cases} \tag{1}$$

因此在第$i(i=1,2,\cdots,N)$条支路上：

$$\begin{cases} i_{BB,i}(t)=I_{RF}(t)S_i(t) \\ U_{BB,i}(t)=\left[I_{RF}(t)S_i(t)\right]\times Z_{BB}(\omega) \end{cases} \tag{2}$$

式中$i_{RF}(t)$为射频输入处的注入电流。

$U_{RF}(t)$可通过对所有时间间隔上的结果相加进行计算：

$$U_{RF}(t)=R_{SW}I_{RF}(t)+\sum_{i=1}^{N}S_i(t)\times\left\{\left[I_{RF}(t)S_i(t)\right]\times Z_{BB}(\omega)\right\} \tag{3}$$

式中：R_{SW}为开关寄生电阻；N为混频器的通道数。

上述公式经过傅里叶变换，并简化为去除高次谐波的形式，总的输入阻抗$Z_{in}(\omega)$为：

$$Z_{in}(\omega)=R_{SW}+N\sum_{n=-\infty}^{+\infty}\left|a_n\right|^2 Z_{BB}\left(\omega-n\omega_{LO}\right) \tag{4}$$

由式(4)得出结论，在射频终端处看到的阻抗是将阻抗从基带在频域内移动到ω_{LO}的整数倍。

因此ω_{LO}附近的阻抗和传递函数为：

$$Z_{in}(\omega)=\frac{N}{\pi^2}\sin^2\left(\frac{\pi}{N}\right)\left[Z_{BB}\left(\omega-\omega_{LO}\right)+Z_{BB}\left(\omega+\omega_{LO}\right)\right] \tag{5}$$

从时域出发，这表明基带的阻抗特性被转移到射频端，即从射频一侧来看，如果基带阻抗是低通形式的，则射频端表现为带通形式，这是传统N通道滤波器的本质。

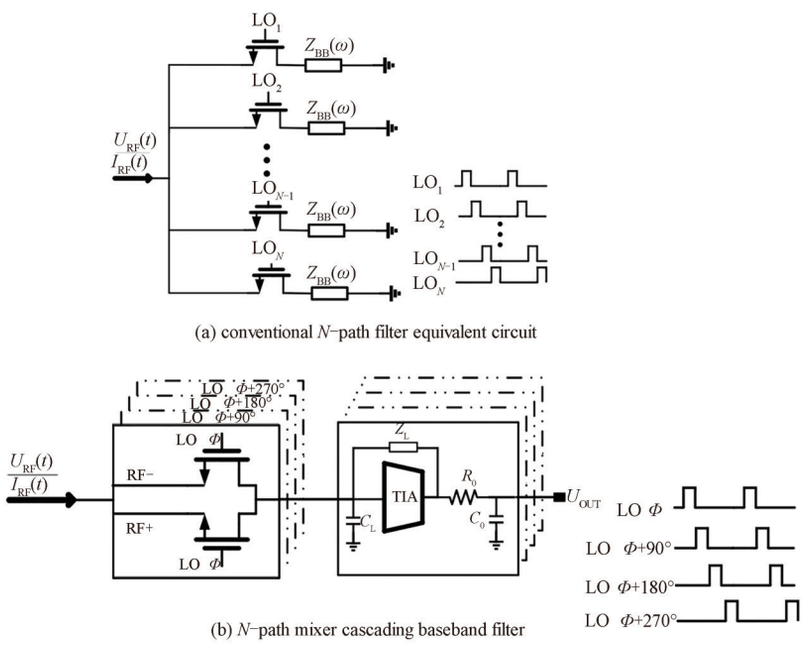


Fig.2 Schematic diagram of N–path filter and mixer

图2 N通道滤波器与混频器原理图

将式(1)中的N设为4，即利用四相不交叠时钟作为本振信号，将简化的基带阻抗$Z_{BB}(\omega)$用复杂的低通滤波器结构替代，即构成图2(b)的N通道混频器级联基带滤波器结构，其中四项不交叠时钟如图2(b)所示，Φ为时钟的初始相位，四相不交叠时钟要求相邻两路时钟的相位差为90°。根据之前的结论，这一结构在射频端表现出与传统N通道滤波器一致的带通特性。图3为在前端均为LNA的情况下，采用传统N通道滤波器和N通道混频器级联基带滤波器的高频带外抑制特性。在射频端直接进行带外抑制时，传统N通道滤波器对于$Z_{BB}(\omega)$的要求很高，而将高频信号先下变频到基带，再利用基带滤波器进行带外抑制时，在$C_L=10$ pF、$C_0=8.6$ pF条件下达到了传统N通道滤波器$Z_{BB}(\omega)=100$ pF的效果，极大地节约了接收机面积，同时省去了额外级联混频器的功耗。这意味着混频器级联基带滤波器提供了比射频滤波更好的抗阻塞效果。如图2所示，其中C_L负责滤除高频带外阻塞，包括高次谐波与时钟馈通；反馈阻抗Z_L与基带跨阻放大器(Transimpedance Amplifier，TIA)提供一个极点，主要限制接收机带宽，Z_L依据需求可被配置为电阻或电容；C_0与R_0形成第2级低通滤波结构，引入第2个带外极点，提高整体阻塞抑制能力。

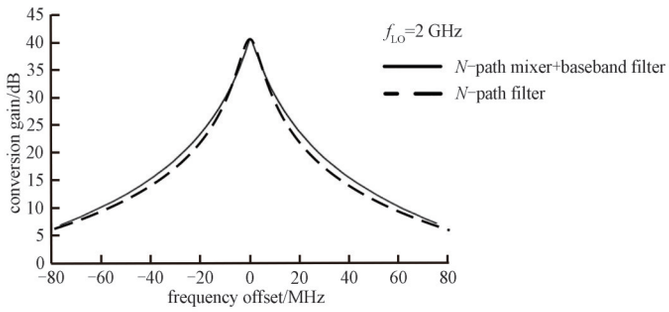


Fig.3 Out-of-band rejection effect comparison between *N*-path filter and *N*-path mixer cascading baseband filter

图3 *N*通道滤波器与*N*通道混频器级联基带滤波器带外抑制效果对比

1.2 噪声消除巴伦-LNA设计

本文提出一种带有噪声消除特性的巴伦—LNA作为接收机第1级，由于内嵌巴伦的特点，避免了引入片上巴伦造成的面积增大与失配等问题。提出的基于反相器结构的巴伦-LNA原理图如图4所示。依据巴伦单端转换为差分的特性，LNA分为同相与反相路径。LNA的同相路径由具有反馈电阻R_f的反相器和级联共源放大器组成。LNA的反相路径由反相器和采用电流多路复用技术的级联共源共栅放大器组成。CMOS反相器作为电路的输入级，没有内部节点。因此，当在高频工作时，电路的性能不会被额外的寄生零极点降低。此外，CMOS反相器具有良好的线性度。

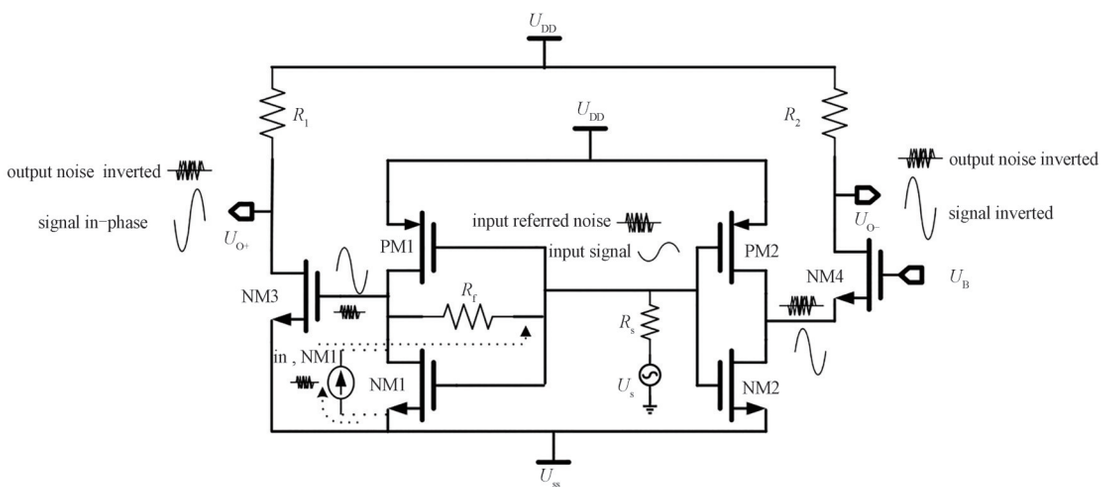


Fig.4 Schematic of noise-cancelling Balun-LNA

图4 噪声消除巴伦-LNA原理图

忽略沟道长度调制效应，该放大器的低频输入阻抗为：

$$R_{in}=\frac{r_1+R_f}{1+G_{M1}r_1} \tag{6}$$

式中：G_{M1}为晶体管NM1和PM1的跨导之和，值为$g_{m(NM1)}+g_{m(PM1)}$；r_1为晶体管NM1和PM1的并联内阻，其大小等于$r_{o(NM1)}\|r_{o(PM1)}$。该阻抗是在假设有反馈电阻的反相器的输入阻抗远低于没有反馈电阻的输入阻抗的基础上导出的，设输入信号为U_S。

同相路径(图4中由U_S到U_{O+}的路径)的增益为：

$$\frac{U_{O+}}{U_S}=\left(1-\frac{R_f}{R_s}\right)\left(g_{m(NM3)}\left(R_1+r_{o(NM3)}\right)\right) \tag{7}$$

式中：R_1为级联共源晶体管NM3的负载电阻；$r_{o(NM3)}$为级联共源晶体管NM3的负载电阻的内阻。该方程的第一项由带有反馈电阻R_f的反相器提供。

反相路径(图4中由 U_S 到 U_{O-} 的路径)的增益为：

$$\frac{U_{O-}}{U_S}=\left(g_{m(NM2)}+g_{m(PM2)}\right)\left(r_{o(NM2)}+r_{o(PM2)}+\frac{R_2+r_{o(NM4)}}{1+g_{m(NM4)}r_{o(NM4)}}\right) \tag{8}$$

式中 $g_{m(NM2)}+g_{m(PM2)}$ 为第一级反相器的跨导，具有负载电阻 R_2 的共源共栅晶体管NM4在不改变信号相位的情况下提供额外的阻抗。

为了实现将单端信号转换为差分信号的目的，该信号的2个放大路径必须具有相同的放大倍数。在保证输入晶体管的差分对完全对称的情况下，可以通过调整晶体管NM3和NM4的宽长比，或改变 R_f 的值来实现。这同时有利于版图布置和抑制本振泄漏。

需要注意的是，首先由CMOS反相器放大的输入信号(有或没有反馈)已经被翻转了180º。同相路径上，共源放大器再次翻转它，而反相路径上的共源共栅结构对相位没有影响。这意味着在输出节点上有180º的相位差，同时差分输出信号大于任何一个输出节点的信号。这使得LNA的电压增益提升。

对增益的提升和对噪声的抑制是同步的，现在假设晶体管NM1具有图4中虚线所示的热噪声电流(对PM1也有类似结果)，考虑其在源漏之间具有噪声电流 $i_{n,NM1}$。在定性分析中，该热噪声电流将流过 R_f，在 R_f 的两端产生同相的热噪声。由于共源放大器和反相器对噪声相位的影响相同，因此热噪声在输出节点上是同相位的。输出信号取差分时，如果2个输出节点上的热噪声电压幅度相同，则与晶体管NM1相关的电流热噪声被完全消除了。

来自噪声消除电路的噪声被添加到系统中，因此，必须考虑其噪声对放大器的贡献。与带有反馈电阻的反相器相比，NM2和PM2的噪声要小得多，因为它们在等效到输入时要除以一个很大的增益。在定量分析中，主要的噪声 $\overline{V_{n,f_b}^2}$ 由反馈放大器提供，计算公式为：

$$\begin{aligned}\overline{V_{n,f_b}^2}&=4kT\left[R_S+\frac{\alpha\gamma A_1 r_1}{A_{V1}^2}\left(\frac{R_S+R_f}{A_1R_S+R_S+R_f+r_1}\right)^2+\frac{R_f}{A_{V1}^2}\left(\frac{-A_1R_S-r_1}{A_1R_S+R_S+R_f+r_1}\right)^2\right]=\\&4kT\frac{\left(R_f+R_S\right)\left(1+G_{M1}^2R_FR_S+\alpha\gamma G_{M1}\left(R_f+R_S\right)\right)}{\left(1-G_{M1}R_f\right)^2}\end{aligned} \tag{9}$$

式中：A_1 为反相放大器增益；A_{V1} 为接入反馈后的增益。A_1 与 A_{V1} 分别由 $G_{M1}r_1$ 和 $-\left(G_{MI}R_fr_1+r_1\right)/\left(G_{MI}R_Sr_1+R_S+R_f+r_1\right)$ 给出。

总的输入参考噪声 $\overline{V_{n,in}^2}$ 为：

$$\overline{V_{n,in}^2}=4kT\left(R_S+\frac{\alpha\gamma A_1r_1\left[-A_2\left(R_f+R_S\right)+A_3R_S\right]^2}{\left(A_1R_S+R_S+r_1+R_f\right)^2A_V^2}\right)+4kT\left(\frac{R_f\left[A_2\left(r_1+A_1R_S\right)+A_3R_S\right]^2}{\left(A_1R_S+R_S+r_1+R_f\right)^2A_V^2}+\frac{\alpha\gamma A_2r_2}{A_V^2}+\frac{\alpha\gamma A_3r_3}{A_V^2}\right) \tag{10}$$

式中：A_2 与 A_3 分别是同相路径和反相路径的增益；r_2 和 r_3 分别为 $R_1+r_{o(NM3)}$ 和 $r_{o(NM2)}+r_{o(PM2))}+\left(R_2+r_{o(NM4)}\right)/1+g_{m(NM4)}r_{o(NM4)}$；$A_V$ 为对输入参考噪声的总的增益效果，等于 $\left(A_2\left(G_{M1}r_1R_f-r_1\right)+A_3\left(r_1+R_f\right)\right)/\left(G_{M1}r_1R_S+R_S+r_1+R_f\right)$。

由式(10)可知，通过适当设置 A_2 和 A_3 的值，可以消除式(10)中的第一项。即使该项的值不为零，所产生的噪声也小于式(9)中的反馈放大器所引入的噪声[14]。

1.3 时钟发生器设计

采用时钟发生器为4通道混频器提供周期采样脉冲序列，为减少高时钟频率造成的相位误差，采用电流型逻辑(Current–Mode Logic，CML)分频器结合数字逻辑门结构获得所需的四相不交叠时钟电路。

经典的CML结构分频电路如图5所示，2个具有电阻负载的CML锁存单元交叉连接，在输入时钟的正半轴上，左锁存处于采样模式，右锁存处于锁存模式，右锁存的输出倒置后输出到左锁存，然后由左锁存传输到输出。在输入时钟的负半轴上，左锁存器处于锁存器模式，右锁存器转换为采样模式，输出状态存储在左锁存器中。这样，锁存器的输出随着时钟状态的变化而变化，实现了分频功能[15]。

利用Nand门和反相器运算得出，4个分频器信号，可以得到四相不交叠时钟，并逐步增加缓冲器以提高驱动能力。缓冲链越长，时钟边缘越陡，驱动能力也越强。

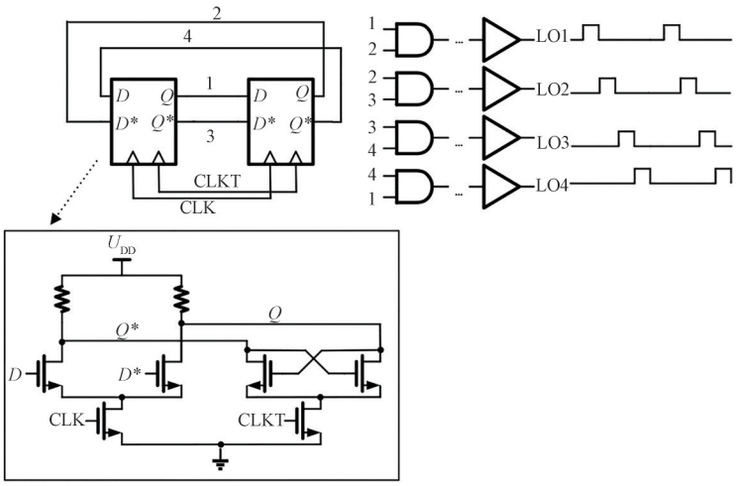


Fig.5 Four-phase non-overlapping clock circuit and CML latch
图5 四相不交叠时钟电路与CML锁存器

2　电路测试与分析

在中芯国际集成电路制造有限公司(Semiconductor Manufacturing International Corporation，SMIC)65 nm工艺下设计的宽带抗阻塞接收机，有源区面积为0.12 mm^2。模拟部分消耗21 mW的功率，数字部分消耗5 mW(按平均动态电流估计)。版图布局如图6所示，并标注了主要模块。针对接收机的性能测试，主要包括对LNA和时钟发生器的模块测试和接收机整体的调谐范围、增益、噪声系数与线性度测试。

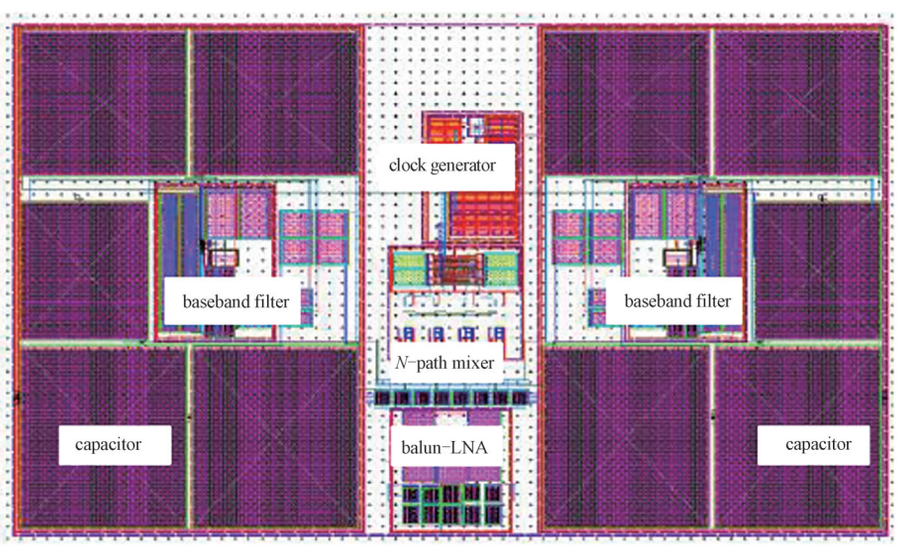


Fig.6 Layout of broadband blocker-tolerant receiver
图6 宽带Blocker-tolerant接收机版图

2.1 LNA性能测试与分析

图7为作为信号链第一级的巴伦-LNA的性能测试图。如图7(a)所示，在0.5~2.4 GHz的接收机工作频带中，LNA可以提供大于28.7 dB的增益。LNA的增益特性并不平坦，这是低频处的隔直电容与高频处的负载特性共同作用导致的，但在工作频带内波动小于1 dB。噪声系数小于2 dB，由于第一级噪声占有整体噪声的最大比例，因此能够较好地限制整个接收机的噪声。反射系数S_{11}<-10 dB。LNA的功耗约16 mW，由于电流复用结构，反相路径的功耗较同相路径减小了约2 mW。

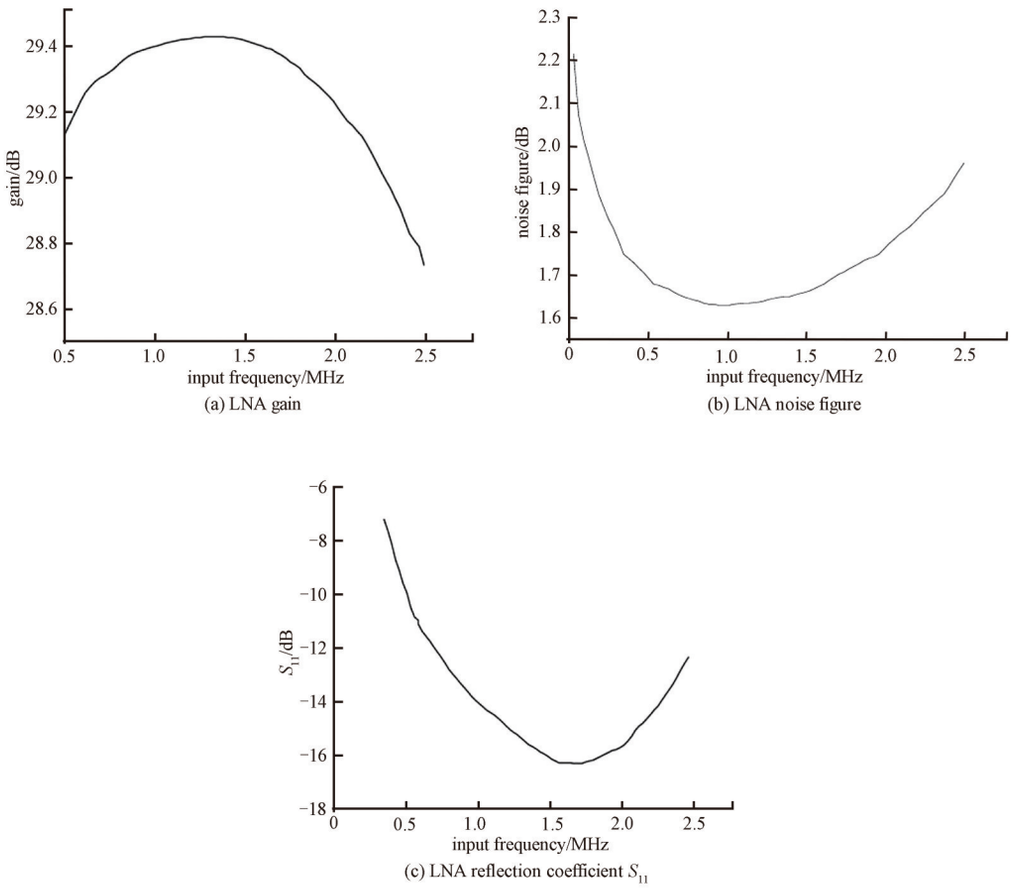


Fig.7 LNA performance results
图7 LNA性能测试结果

2.2 时钟发生器性能测试

时钟发生器作为混频器重要一环，如果不能产生稳定的四相不交叠时钟，则会对整个接收机的性能产生损害。时钟发生器能否产生稳定的高低电平影响到混频效果，能否拥有稳定的不交叠时间关系到接收机线性度。图8的测试结果显示，在4G数字时钟作为输入的情况下，能够产生2 G的四相不交叠时钟，其中高电平脉冲时间为77.02 ps，不交叠时间为42.3 ps。由于图5中四路信号在经过运算时的路径长度不同，所得四相不交叠时钟高电平时间并非完全一致，但由于频率稳定，不交叠时间长，因此对性能没有显著影响。

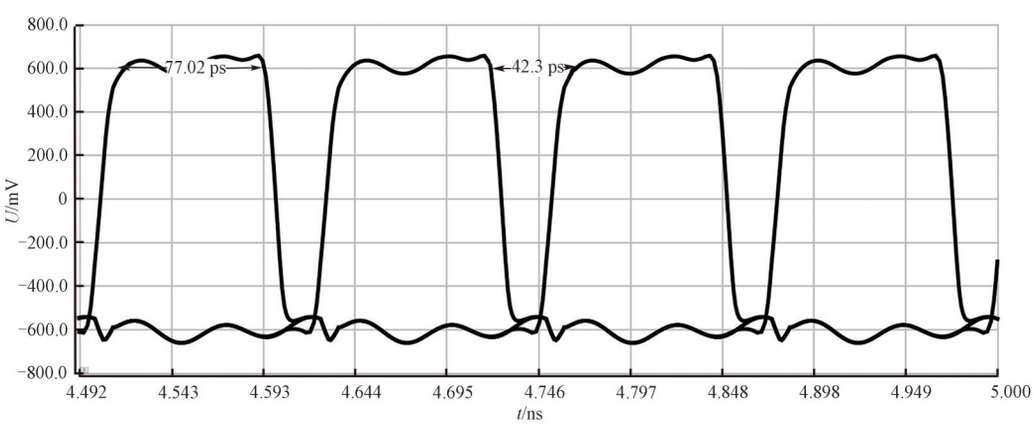


Fig.8 Four−phase non−overlapping clock results
图8 四相不交叠时钟测试结果

2.3 接收机整体性能测试

接收机性能测试主要包括工作频率、转换增益、噪声系数与线性度测试。图 9 为在本振信号频率为 0.25 GHz、0.5 GHz、…、2.5 GHz的条件下，转换增益与输入信号的关系图。结果表明，在0.25~2.5 GHz的工作范围内，接收机基带3 dB带宽约为5 MHz，在通带外200 MHz处提供大于60 dB的带外阻塞抑制；同时能够提供46 dB的转换增益，在高频处由于寄生效应的影响，转换增益衰减至39 dB。

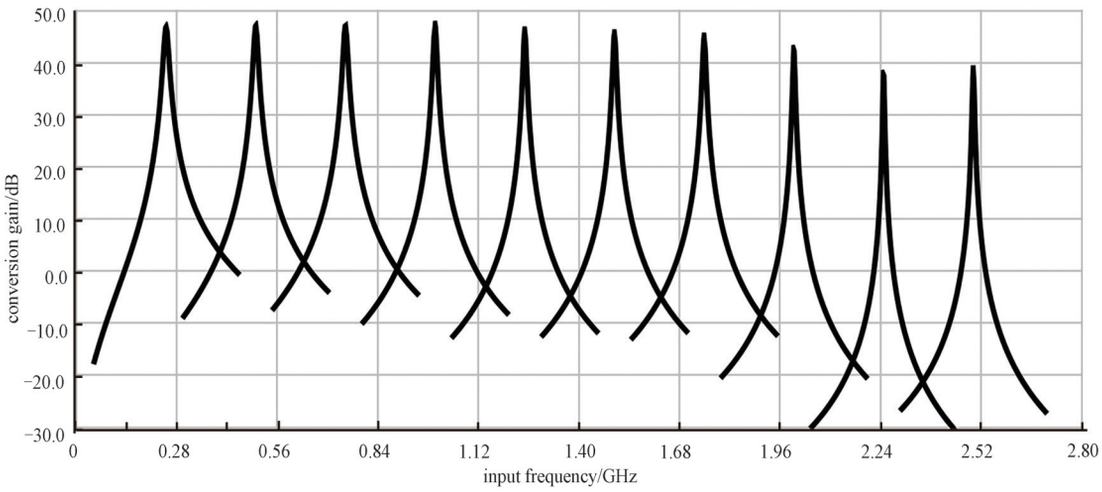


Fig.9 Operating frequency of receiver and conversion gain results
图9 接收机工作频率与转换增益测试

对所提出的接收机进行线性度测量，包括在固定本振频率$f_{LO}=1$ GHz下10~80 MHz的带外输入三阶交调点(Out-Off-Band Third-order Intercept Point，OOB-IIP3)测试(图10(a))和在不同本振频率下，固定带外60 MHz处的OOB-IIP3测试(图10(b))。带内IIP3可以保持在0 dBm以上，并在80 MHz频带外达到24.5 dBm。由于本振频率的变化引起的增益变化，OOB-IIP3在0.25~2.5 GHz的工作范围内不是一个固定的值，浮动在21~24.5 dBm的范围内。

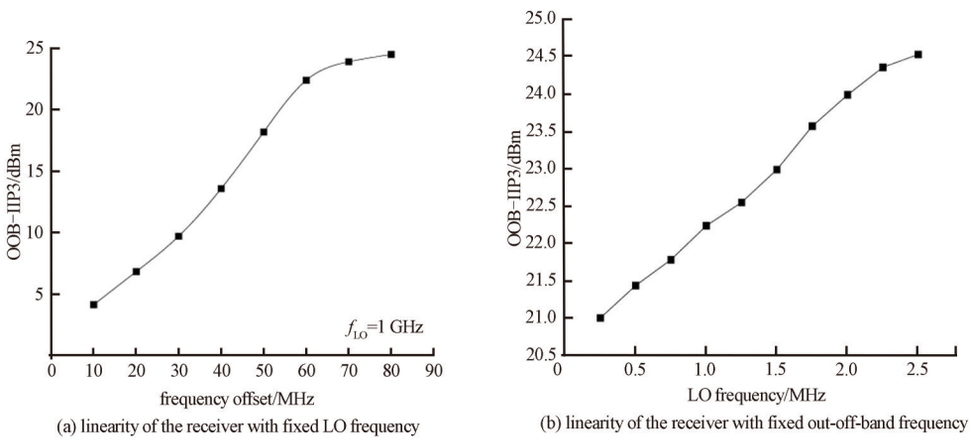


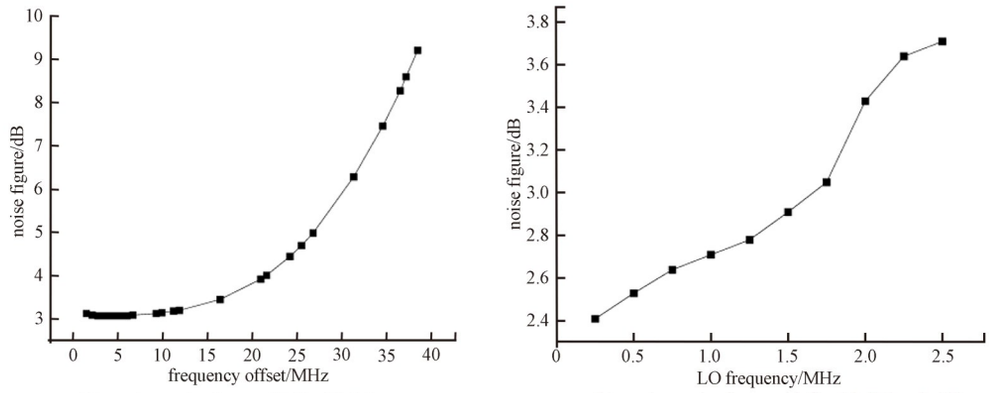
Fig.10 Linearity results of the receiver
图10 接收机线性度测试结果

噪声系数的测量分为图11(a)所示的固定本振频率$f_{LO}=2$ GHz，带外0~40 MHz处的噪声系数，以及图11(b)所示，固定在3 dB带宽5 MHz处，随本振频率变化的噪声系数。本振频率$f_{LO}=2$ GHz时，在带外20 MHz内，噪声系数为3.1~3.5 dB。3 dB带宽处的噪声系数小于4 dB，随着本振频率的升高不断增加。

2.4 接收机性能与现有技术对比

在表1中，将所提出的接收机与使用相似或不同技术的3个已发布的接收机的性能进行比较。对比结果表明，由于采用的N通道混频器结构简单，数字部分功耗低，实现与先进技术相似的测量结果时，具有功耗较低

的优点。结果还表明，利用LNA作为输入级来约束接收机整体噪声的方法，与新兴的优先混频的方法相比结果类似。由于没有引入额外的混频或滤波结构，以损失转换增益为代价，得到了更好的线性度。



(a) receiver noise figure with fixed LO frequency (b) receiver noise figure with fixed 3 dB bandwidth

Fig.11 Noise figure of the receiver

图11 接收机噪声系数

表1 对已公布的接收机性能的总结与比较

Table1 Summary and comparison with published receivers

	LIN Zhicheng[9]	PURUSHOTHAMAN V K[12]	WANG Huan[13]	this work
RX architecture	gain-boosted +mixer-first	mixer-first +implicit capacitive stacking	LO leakage suppression	balun-LNA+*N*-path mixer
RF input style	single-ended	single-ended	single-ended/differential	single-ended
RF range/GHz	0.1~1.5	1.8~2.8	0.2~2.0	0.25~2.50
gain/dB	40	45~47	40	46
noise figure/dB	1.5~2.9	4.7~6.0	2.1~2.5	3.1~4.0
out-off-band IIP3/dBm	+13	24	+14	24.5
baseband bandwith/MHz	2	2	—	5
power/mW	11	0.38	68~95	26
CMOS tech.	65 nm	22 nm FDSOI	45 nm SOI	65 nm

3 结论

本文提出了一种使用巴伦-LNA和*N*通道混频器的抗阻塞射频接收机，其中巴伦-LNA提供高增益，约束噪声，完成单端对差分的转换而不需要额外的片上巴伦，*N*通道混频器结合基带滤波器，提供高带外抑制和高线性。所提出的65 nm CMOS接收机拥有3.1~4 dB的噪声系数，24.5 dBm的带外IIP3，46 dB的转换增益，而仅消耗了26 mW的功率。这可以为接收机的集成化和*N*通道滤波器在接收机领域的集成与应用提供一种解决思路。

参考文献：

[1] WANG Chengxiang, HAIDER F, GAO Xiqi, et al. Cellular architecture and key technologies for 5G wireless communication networks[J]. IEEE Communications Magazine, 2014,52(2):122-130. doi:10.1109/MCOM.2014.6736752.

[2] 何小莲,宋树祥. 差分时钟增益提高型*N*通道带通滤波器设计[J]. 太赫兹科学与电子信息学报, 2017,15(3):438-445. (HE Xiaolian,SONG Shuxiang. Design of a differential clock gain-boosted *N*-path band-pass filter[J]. Journal of Terahertz Science and Electronic Information Technology, 2017,15(3):438-445.) doi:10.11805/TKYDA201703.0438.

[3] 胡利稳,蒋品群,宋树祥,等. 基于CMOS传输门的带通-带阻可重构*N*通道滤波器[J]. 国外电子测量技术, 2022,41(9):60-65. (HU Liwen, JIANG Pinqun, SONG Shuxiang, et al. Band-pass and band-stop reconfigurable *N*-path filter based on CMOS transmission gate[J]. Foreign Electronic Measurement Technology, 2022,41(9):60-65). doi:10.19652/j.cnki.femt.2204017.

[4] OZGUN M T,ABDELHAMID A,DOGAN H. A low power receiver front-end design with tunable notch filter for TX leakage and blocker suppression[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(3): 1180-1191. doi: 10.1109/TCSI.2018.2879040.

[5] 谭棋心. 2.45 GHz RFID模拟射频接收机前端设计与实现[D]. 成都:电子科技大学, 2020:27005. (TAN Qixin. 2.45 GHz RFID analog RF receiver front-end design and implementation[D]. Chengdu, China: University of Electronic Science and Technology of China, 2020:27005.)

[6] 闫旭. 超宽带射频接收机前端关键模块电路的研究与设计[D]. 合肥:中国科学技术大学, 2019. (YAN Xu. Research and design of key module circuits in the front end of ultra-wideband RF receivers[D]. Hefei, China: University of Science and Technology of China, 2019.)

[7] 孙明远. 低功耗射频接收机前端关键模块的技术研究[D]. 成都:电子科技大学, 2018. (SUN Mingyuan. Technical research on key modules of low-power RF receiver front-end[D]. Chengdu,China:University of Electronic Science and Technology of China, 2018.)

[8] THOMAS C M,LARSON L E. A CMOS broadband distributed *N*-path tunable bandpass filter[J]. IEEE Microwave & Wireless Components Letters, 2014,24(8):542-544. doi:10.1109/LMWC.2014.2321254.

[9] LIN Zhicheng,MAK P L,MARTINS R P. 2.4 A 0.028 mm^2 11 mW single-mixing blocker-tolerant receiver with double-RF *N*-path filtering, S_{11} centering,+13 dBm OB-IIP3 and 1.5-to-2.9 dB NF[C]// 2015 International Solid-State Circuits Conference: Digest of Technical Papers. San Francisco:IEEE RFIC Virtual Journal, 2015:1-3. doi:10.1109/ISSCC.2015.7062913.

[10] BORREMANS J, MANDAL G, GIANNINI V, et al. A 40 nm CMOS 0.4~6 GHz receiver resilient to out-of-band blockers[J]. IEEE Journal of Solid-state Circuits, 2011,46(7):1659-1671. doi:10.1109/JSSC.2011.2144110.

[11] VAN LIEMPD B, BORREMANS J, MARTENS E, et al. A 0.9 V 0.4~6 GHz harmonic recombination SDR receiver in 28 nm CMOS with HR3/HR5 and IIP2 calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1815-1826. doi: 10.1109/JSSC.2014.2321148.

[12] PURUSHOTHAMAN V K, KLUMPERINK E A M, PLOMPEN R, et al. Low-power high-linearity mixer—first receiver using implicit capacitive stacking with 3×voltage gain[J]. IEEE Journal of Solid-State Circuits, 2022, 57(1): 245-259. doi: 10.1109/ISSCC.2015.7062913.

[13] WANG Huan, WANG Zisong, HEYDARI P. 28.7 a wideband blocker-tolerant receiver with high-Q RF-input selectivity and <-80 dBm LO leakage[C]// 2019 International Solid-State Circuits Conference. San Francisco: IEEE, 2019: 450-452. doi: 10.1109/ISSCC.2019.8662499.

[14] WANGTAPHAN S,SUADET A,MEKSIRI S,et al. A 1.0 volt thermal noise-canceling CMOS transimpedance-based amplifier[C]// 2008 Asia Pacific Conference on Circuits and Systems. Macao:IEEE, 2008:692-695. doi:10.1109/APCCAS.2008.4746118.

[15] HENZLER S, KOEPPE S. Design and application of power optimized high-speed CMOS frequency dividers[J] IEEE Transactions on Very Large Scale Integration, 2008,16(11):1513-1520. doi:10.1109/TVLSI.2008.2001136.

作者简介：

杨静致(1999-)，男，在读硕士研究生，主要研究方向为射频及混合信号集成电路设计.email:21S121113@stu.hit.edu.cn.

翁振豪(1999-)，男，在读硕士研究生，主要研究方向为射频及混合信号集成电路设计.

高志强(1971-)，男，博士，副教授，主要研究方向为传感器接口电路、数模混合信号集成电路、射频/微波集成电路芯片设计.

王　琮(1982-)，男，博士，教授，博士生导师，主要研究方向为微波毫米波集成电路设计、大微波传感器件与检测技术.