

文章编号: 2095-4980(2025)01-0019-05

基于射频 IP 的低相噪频率产生技术

孙科, 杨睿天, 伊雅新, 杨秀强, 辜霄, 杨先国, 吴昊

(中国电子科技集团公司第二十九研究所 成都西科微波通讯有限公司, 四川 成都 610091)

摘要: 提出一种新颖的基于射频 IP 的低相噪频率合成方案。通过梳线发生器产生多个频点, 开关滤波器选择频段, 利用二次混频进行频谱搬移的方式实现 Ka 波段的宽带覆盖; 采用三维系统级封装(3D-SIP)的集成方式弥补了传统直接频率合成式难以实现小型化的缺点; 通过分频器及倍频器实现 100 MHz 的小步进变化。该方案可实现 -99 dBc/Hz@1 kHz 的相噪, 弥补了直接数字频率合成(DDS)激励锁相环(PLL)小步进频率合成方式难以实现低相噪的缺点。该频率合成器具有小型化、低相噪的优点, 具有较强的工程使用价值, 可拓展用于多类通信及雷达系统中。

关键词: 频率合成; 多级混频; 快速跳频

中图分类号: TN74

文献标志码: A

doi: 10.11805/TKYDA2024536

Low phase noise frequency generation technology based on RF IP

SUN Ke, YANG Ruitian, YI Yaxin, YANG Xiuqiang, GU Xiao, YANG Xianguo, WU Hao

(1.Chengdu Seekon Microwave Communication Co., Ltd., The 29th Research Institute of CETC, Chengdu Sichuan 610091, China)

Abstract: A novel low phase noise frequency synthesis scheme based on Radio Frequency-In-Package(RF IP) is proposed. The multiple frequency points are generated by the comb generator, the frequency band is selected by the switching filter, and the frequency spectrum shifting is performed by the secondary mixing, therefore, the broadband coverage of Ka-band is realized. The integration method of three-dimensional System-In Package(3D-SIP) compensates for the disadvantage of traditional direct frequency synthesis in achieving miniaturization. A small step variation of 100 MHz is achieved through a frequency divider and multiplier. This scheme can achieve a phase noise of -99 dBc/Hz@1 kHz, compensating for the disadvantage of Direct Digital frequency Synthesis(DDS) excited Phase-Locked Loop(PLL) small step frequency synthesis in achieving low phase noise. This frequency synthesizer has the advantages of miniaturization and low phase noise, has strong engineering application value, and can be expanded for use in various communication and radar systems.

Keywords: frequency synthesis; multi-level mixing; fast frequency hopping

超宽带频率合成技术是各类雷达、通信系统的核心技术, 其性能直接决定了系统的性能好坏。随着整机系统的性能要求不断提高, 对频率合成也提出了更高的要求: 更小的尺寸、更宽的带宽、更低的相位噪声、更高的工作频率以及更短的频率切换时间。在频率合成技术领域, 主流的 3 种合成方式分别为锁相频率合成方式^[1-2]、DDS 频率合成方式^[3-6]、直接频率合成方式。

锁相频率合成方式利用锁相环(PLL)实现频率输出, 其优点为可采用单锁相环实现较高的频率输出及较宽的工作带宽, 但传统的单环锁相合成方式, 为实现较小的频率步进或得到更高的输出信号频率, 环内往往采用较大的分频系数, 导致相位噪声恶化量 $20\log N$ 的量值增加^[7-9], 锁相频率源输出信号的相位噪声降低; 且由于锁相频率合成方式的工作原理限制, 其频率切换时间很难突破 μ s 量级。DDS 合成方式可实现细步进、快速变频, 但由于其工作原理受限, 只能工作在很低的频段。直接频率合成方式采用梳线发生或倍频的方式产生, 然后通过开关滤波的方式取出相应的频点。其特点是频率切换时间短, 工作频率高, 相位噪声低, 是一种性能优异的频率合成方式, 但由于其在功耗和尺寸上的缺点, 并未大量采用。

近年来, 随着微波组件对跳频时间和相位噪声的要求越来越高, 直接频率合成方式跳频时间短、相位噪声

低的优势逐渐显现。随着系统级封装(SIP)技术的发展，微波组件可实现三维的堆叠和互联，可在有限的空间集成更多模块^[10-11]，将 SIP 集成方式用于直接频率合成器中可实现小型化的目标。

本文提出一种新颖的基于 RF IP 的低相噪频率合成技术，该技术采用“梳线发生器+二次混频+开关滤波器”的方式拼接筛选频点，实现 Ka 波段步进 100 MHz 的宽带覆盖。该低相噪频率合成技术根据功能不同划分出多个功能 SIP，通过球栅阵列(Ball Grid Array, BGA)封装技术焊球集成在印制电路板(Printed Circuit Board, PCB)母板上，实现了直接频率合成小型化的目标；利用多次分频的多频率复用及二次混频实现了 100 MHz 的细步进，这种技术可拓展用于多类通信及雷达系统中。经工程验证，基于 RF IP 的低相噪频率合成技术实现效果显著，可解决困扰直接合成频率合成技术工程应用的实际问题。

1 小步进频率合成的技术方法

基于 RF IP 的低相噪频率合成技术的工作原理如图 1 所示。将 1 GHz 点频经过梳线发生器产生 X 及 Ku 波段信号，通过分频及二次变频得到需要的 Ka 波段快速跳频低相位噪声信号。该技术中相位噪声主要取决于梳线发生器，同时每一次混频将会对相位噪声带来 3 dB 的恶化。

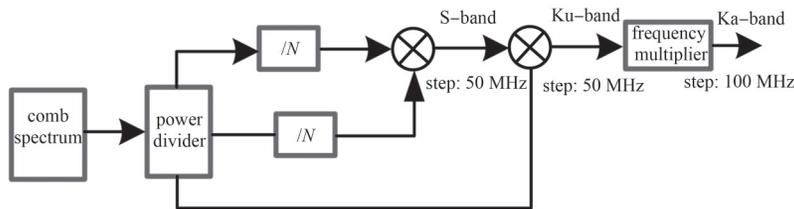


Fig.1 Technical method of small stepped frequency synthesis
图 1 小步进频率合成的技术方法

SIP 模块之间通过 BGA 焊球在 PCB 母板上进行信号的传输，经过 HFSS(High Frequency Structure Simulator)电磁仿真软件及工程验证，频率越高，射频信号损耗越大，通过 SIP-BGA-PCB 这一传输路径的射频信号频率范围在 0.1~20 GHz 之间。为保证 Ka 波段步进 100 MHz 频率信号的完整性，需通过 2 次变频产生 12~20 GHz 步进 50 MHz 的射频信号，再通过变频器实现 Ka 波段的射频信号宽带覆盖。

2 方案分析

基于射频 IP 的低相噪频率产生原理如图 2 所示，1 GHz 的点频信号通过梳线发生器推出 X 波段及 Ku 波段相隔 1 GHz 的点频。梳线发生器输出频点如图 3 所示。

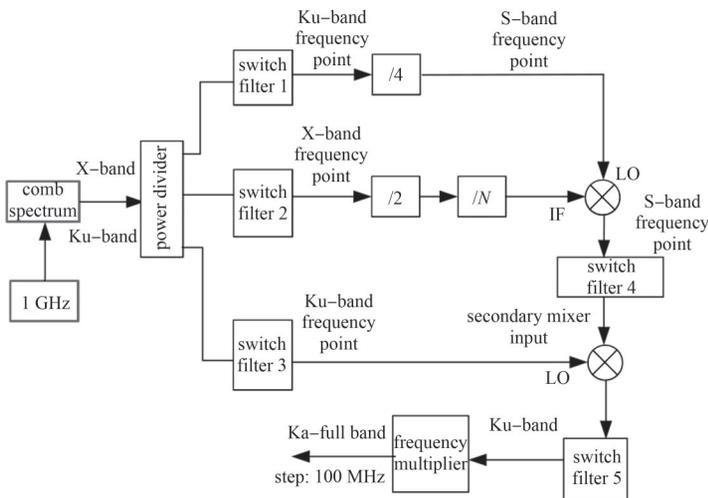


Fig.2 Block diagram of frequency generation
图 2 频率产生框图

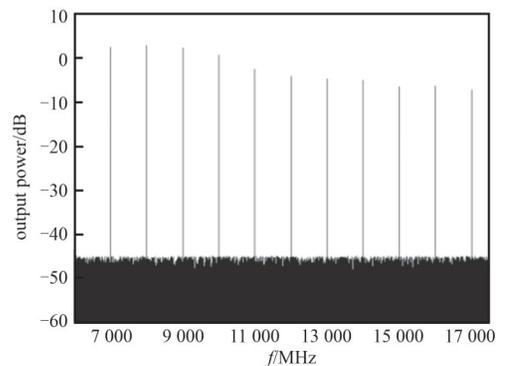


Fig.3 The output frequency of the comb generator
图 3 梳线发生器输出频点

X 波段及 Ku 波段的点频经过开关滤波器 1 筛选出需要的 Ku 波段各个频点，通过四分频得到间隔 250 MHz 的 S 波段频点作为一次混频的本振；开关滤波器 2 筛选出的 X 波段频点，通过 2 次分频得到 1 GHz 以下间隔 50 MHz 的

多个频点作为一次混频的中频信号；一次混频通过上下变频及开关滤波器 4 得到 S 波段的混频输出信号，该信号为二次混频的中频信号。开关滤波器 1、2 的电特性分别如图 4(a)~(b)所示。

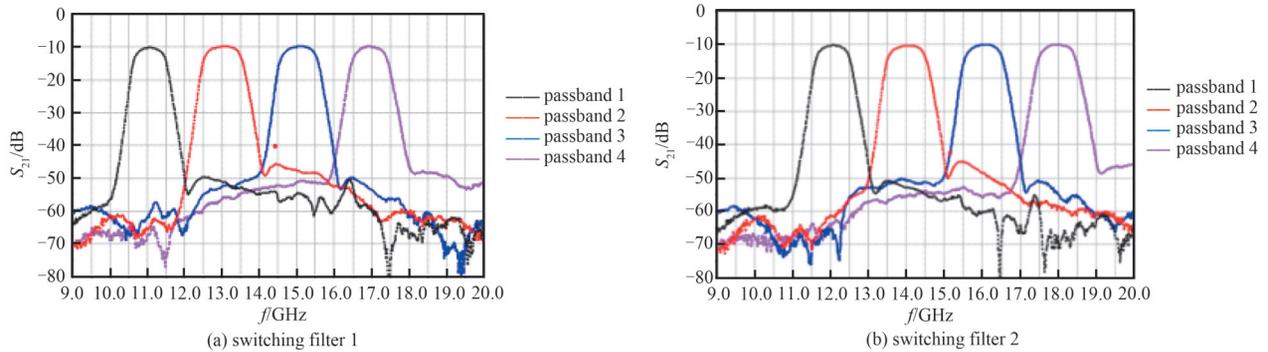


Fig.4 Frequency selection of switching filter
图4 开关滤波器频率选择

X 波段及 Ku 波段的点频继续经过开关滤波器 3 筛选出需要的 Ku 波段频点，作为二次变频的本振信号与 S 波段的混频输出信号进行二次混频，二次混频输出信号通过开关滤波器 5 得到 Ku 波段间隔 50 MHz 的射频信号；最后该射频信号通过倍频器输出 Ka 波段全覆盖步进 100 MHz 信号。

该技术的优点在于仅使用梳线发生器，通过二次混频，可实现 Ka 波段间隔 100 MHz 的信号输出，降低了方案的复杂程度，提升了小型化的可行性。

3 实现方法分析

直接频率合成方式虽然频率切换时间短，工作频率高，相位噪声低，但由于这种方式需要大量的开关滤波器，传统的微波集成方式无法满足小型化的需要。为实现小型化，垂直互联结构的三维集成方式如何保证射频性能成为了业界的研究热点。

射频 IP 技术基于封装管壳与工艺，将整个射频系统集成在一个封装内。射频 IP 由多种不同功能的射频芯片与电路组成，因其小型化、易于集成、通用性的优点现已广泛用于射频组件中。

三维系统级封装(3D-SIP)利用 BGA 封装形式，具有互联密度高，互联射频信号完整性佳等优点，逐渐成为解决微波组件小型化问题的主流解决方法；同时 SIP 管壳为高温共烧陶瓷，具有较好的自屏蔽特性，可减小不同 SIP 模块之间的串扰。SIP 内基板采用有机复合基板可实现高效的自动化装配。

基于射频 IP 的低相噪频率产生技术根据功能不同，将整个组件分为多个 SIP 模块实现，分别是梳线 IP、一本振 IP、一中频 IP、二本振 IP、一混频 IP、二混频 IP。每个 SIP 通过底部的焊盘 BGA 植球在 PCB 母板上使用，SIP-BGA-PCB 的信号传输路径如图 5 所示，这种结构在 0.1~20 GHz 频段内具有较好的传输性能，如图 6 所示。在 0.1~20 GHz 全频段回波损耗均小于 -10 dB；在 0.1~20 GHz 全频段插入损耗不大于 0.6 dB。

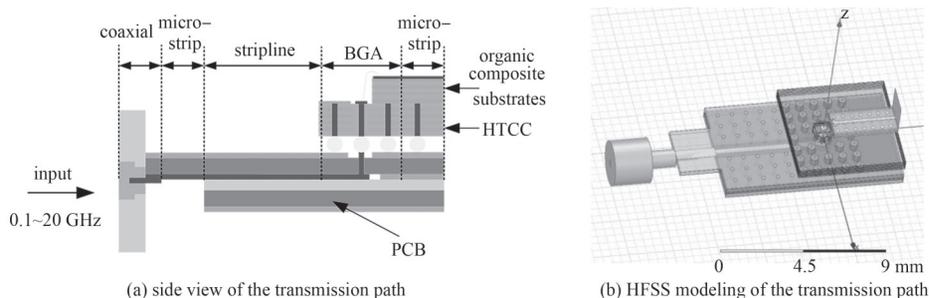


Fig.5 SIP-BGA-PCB signal transmission path
图5 SIP-BGA-PCB 信号传输路径

4 指标分析

4.1 杂散分析

基于射频 IP 的低相噪频率产生技术利用多个频点的变化进行二次混频实现合理的频谱搬移，因此该技术杂

散的主要来源为混频器的交调信号。通过开关滤波器滤波频段的合理划分，可使交调信号在滤波器带外得到很好的抑制。图 7 为混频交调信号示意图，S 波段中频信号与 Ku 波段本振信号进行混频得到 Ku 波段射频信号，通过滤波器选择可单独提取出射频信号，抑制交调信号。

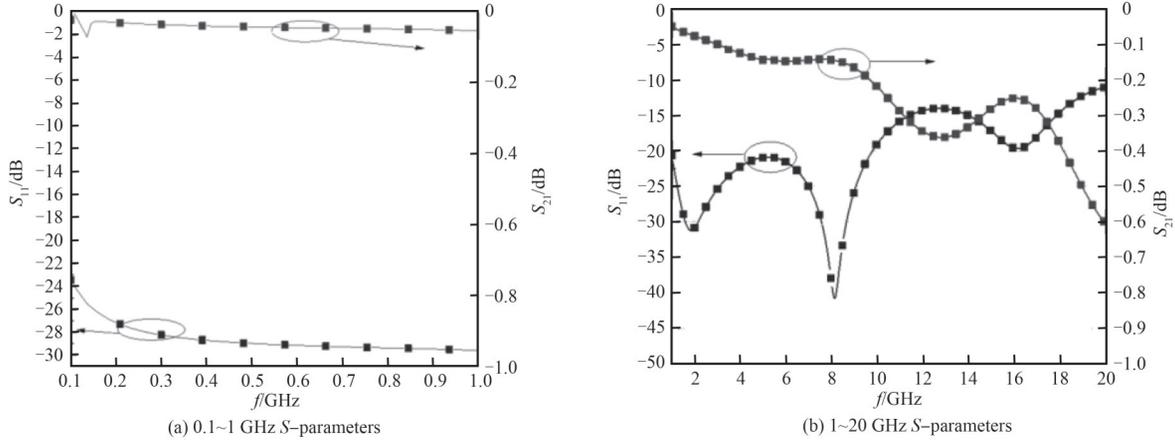


Fig.6 SIP-BGA-PCB signal transmission loss
图 6 SIP-BGA-PCB 信号传输损耗

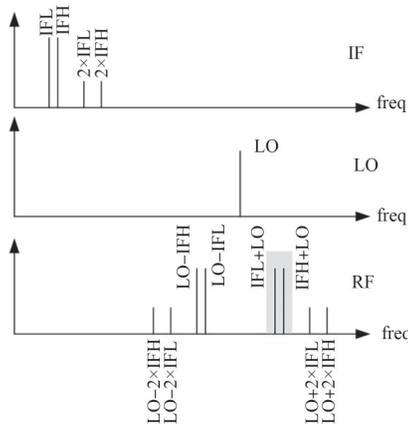


Fig.7 Schematic diagram of the calculation of mixing intermodulation
图 7 混频交调计算示意图

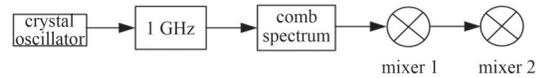


Fig.8 Deterioration path of phase noise
图 8 相噪恶化路径

表 1 相噪对比

Table1 Phase noise comparison

| Ref. | frequency/GHz | phase noise/(dBc/Hz@1 kHz) |
|-----------|---------------|----------------------------|
| [3] | 34~35 | -85 |
| [2] | 9.8~10.8 | -85 |
| this work | Ka | -99 |

本方案通过对开关滤波器 4 及开关滤波器 5 进行合理的频段划分，可达到带内及带外 200 MHz 内无交调杂散信号的目标，保证输出信号的低杂散指标。

4.2 相位噪声分析

基于射频 IP 的低相噪频率产生技术的信号相位噪声恶化路径如图 8 所示。相位噪声指标采用式(1)进行推导，其中 P_{IN} 为晶振相位噪声，可达到 $-150 \text{ dBc/Hz}@1 \text{ kHz}$ ； $20\log(f_{out}/f_{REF})$ 为 1 GHz 点频带来的相位噪声恶化量值； $20\log N_2$ 为梳线发生器带来的相位噪声恶化量值，其中 N_2 为倍频数，若梳线发生器产生 X 及 Ku 波段信号，则 N_2 取 18； X 为 2 次变频附加的相噪恶化量，理论上 1 次变频相噪恶化 3 dB，2 次变频相噪恶化 6 dB。

$$P_{out} = P_{IN} + 20\log(f_{out}/f_{REF}) + 20\log N_2 + X \quad (1)$$

根据相位噪声计算结果，该频率产生技术的相位噪声计算值为： $-99 \text{ dBc/Hz}@1 \text{ kHz}$ 。基于射频 IP 的低相噪频率产生技术与文献[2-3]相比，如表 1 所示，该技术在更宽的频带范围内实现了更好的相位噪声。

4.3 跳频时间分析

直接频率合成方式在跳频时无需像传统 PLL 一样进行重新锁定，因此可实现 ns 级的跳频时间。基于射频 IP 的低相噪频率产生技术跳频主要依靠开关的切换，跳频时间取决于开关芯片切换速度及控制信号延时时间，因此该技术的跳频时间可以控制在 50 ns 以内。

5 结论

本文提出了一种新颖的基于射频 IP 的低相噪频率产生技术，对梳线发生器输出信号进行可变分频和滤波筛选得到多个独立频点，再利用二次混频的方式输出步进为 100 MHz 的 Ka 波段射频信号。采用 SIP 的微波集成方式弥补了传统直接频率合成方式体积大的缺点。该频率合成器具有小型化、低相噪、低功耗的优点，具有较强的工程使用价值，可拓展用于多类通信及雷达系统中。

参考文献：

- [1] BANERJEE D. PLL performance, simulation, and design[M]. 4th ed. [S.l.]: Dog Ear Publishing, 2006.
- [2] 叶莉娜, 杨涛, 陈宏素. 基于锁相环技术的 X 波段频率源的研制[J]. 微波学报, 2010(S1):311-313. (YE Lina, YANG Tao, CHEN Hongsu. Design of X-band frequency synthesizer based on PLL[J]. Journal of Microwaves, 2010(S1):311-313.)
- [3] 黄涛, 欧阳宏俊, 邵振海, 等. Ka 波段应用的捷变频高频率分辨率频率合成器[J]. 微波学报, 2018, 34(4):65-70. (HUANG Tao, OUYANG Hongjun, SHAO Zhenhai, et al. Frequency-agile and high-frequency-resolution frequency synthesizer for Ka-band applications[J]. Journal of Microwaves, 2018, 34(4):65-70.) doi:10.14183/j.cnki.1005-6122.201804012.
- [4] KROUPA V F. A high purity, high speed direct digital synthesizer[M]. Wiley: IEEE Press, 1999: 291-295. doi: 10.1109/9780470544396.ch39.
- [5] 杨大伟, 杨秀芳, 陈剑虹. 基于 FPGA 的 DDS 多信号发生器的设计与实现[J]. 西安理工大学学报, 2013, 29(4):439-443. (YANG Dawei, YANG Xiufang, CHEN Jianhong. Design and implementation of Direct Digital frequency Synthesis multiple signal generator based on FPGA[J]. Journal of Xi'an University of Technology, 2013, 29(4): 439-443.) doi: 10.3969/j. issn. 1006-4710.2013.04.011.
- [6] HASANNEZHAD M, JANNESARI A, LOTFIZAD M. Design of a high-frequency very low-power direct digital frequency synthesizer[J]. Journal of Circuits Systems & Computers, 2016, 25(8):1650085. doi:10.1142/S0218126616500857.
- [7] SUN Ying, LIANG Meiyin, XIE Teng. Design and improvement of a frequency synthesizer based on PLL+DDS+PLL[J]. Advances in Computer Science Research, 2017(62):546-549.
- [8] OSADA M, XU Z L, IIZUKA T. A 3.2-to-3.8 GHz harmonic-mixer-based dual-feedback fractional-N PLL achieving -65 dBc in-band fractional spur[J]. IEEE Solid-State Circuits Letters, 2020(3):534-537. doi:10.1109/LSSC.2020.3037311.
- [9] ZHANG Yinghao, GAO Liuan, QI Longying, et al. DDS-PLL phased source for Ka-band beam control phased array receiver[C]// 2018 the 12th International Symposium on Antennas, Propagation and EM Theory (ISAPE). Hangzhou, China: IEEE, 2018:1-4. doi: 10.1109/ISAPE.2018.8634073.
- [10] 李晓林, 刘星, 高艳红, 等. X 波段三维异构片式收发 SiP 模块设计[J]. 太赫兹科学与电子信息学报, 2024, 22(7):758-763, 767. (LI Xiaolin, LIU Xing, GAO Yanhong, et al. Design of 3D heterogeneous film-based transceiver SiP module in X-band[J]. Journal of Terahertz Science and Electronic Information Technology, 2024, 22(7):758-763, 767.) doi:10.11805/TKYDA2023396.
- [11] MA B H, HO D, WANG Y P, et al. Highly integrated assembly processes solutions for double-sided-SiP package[C]// 2020 IEEE The 8th Electronics System-Integration Technology Conference (ESTC). Tønsberg, Norway: IEEE, 2020:1-5. doi:10.1109/ESTC48849.2020.9229680.

作者简介：

孙 科(1987-), 男, 硕士, 高级工程师, 主要研究方向为射频电路、频率源技术. email:sunk@seekonrf.com.

杨睿天(1997-), 女, 硕士, 助理工程师, 主要研究方向为射频电路、频率源技术.

伊雅新(1996-), 女, 硕士, 助理工程师, 主要研究方向为射频电路、频率源技术.

杨秀强(1979-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

辜 霄(1982-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

杨先国(1978-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.

吴 昊(1987-), 男, 硕士, 高级工程师, 主要研究方向为射频电路.