文章编号：2095-4980(2013)05-0757-05

基于 DDS 激励 PLL 宽带低杂散频率合成器

杨　杰[1]，杨　光[1]，蒋国琼[2]，宋烨曦[1]

(1.四川九洲电器集团有限责任公司，四川 绵阳 621000；2.四川绵阳长虹股份有限公司，四川 绵阳 621000)

摘　要：在微波频段，为了实现小步进、低相噪的宽带频率合成器，常采用直接数字合成(DDS)激励锁相环(PLL)的方式，但要同时实现低杂散(特别是近端杂散)则相对困难。本文基于 DDS 低杂散技术进行了研究，并介绍一种改进的基于 DDS 激励 PLL 技术实现的宽带频率合成器，可有效改善杂散抑制指标。设计所得到频率合成器频率范围为 4 GHz~8 GHz，步进为 100 kHz，杂散抑制指标可以满足全频段≤−70 dBc。

关键词：直接数字合成；杂散抑制；锁相环

中图分类号：TN74^{+}2.1　　**文献标识码：**A　　**doi：**10.11805/TKYDA201305.0757

Frequency synthesizer with wideband and low spurious based on Direct Digital Synthesis driving Phase Locked Loop

YANG Jie[1]，YANG Guang[1]，JIANG Guo-qiong[2]，SONG Ye-xi[1]

(1.State-run NO.783 Factory，Mianyang Sichuan 621000，China；2.Sichuan Changhong Co.，Ltd.，Mianyang Sichuan 621000，China)

Abstract：In the microwave band，a wideband frequency synthesizer with small step and low phase noise is commonly implemented by Direct Digital Synthesis(DDS) driving Phase Locked Loop(PLL). However，it is difficult to realize low spurious(especially the near-end spurious) at the same time. Based on the studies of DDS with low spurious technology，an improved wideband frequency synthesizer is introduced，which could effectively improve the spurious suppression indexes. The proposed synthesizer is provided with the frequency range from 4 GHz to 8 GHz with the stepping of 100 kHz；and its spurious suppression index is better than −70 dBc in the whole range.

Key words：Direct Digital Synthesis；spurious suppression；Phase Locked Loop

直接数字式频率合成器(DDS)的频率分辨率极高，应用 DDS 输出信号作为频率合成器的参考时钟信号，可以使频率合成器在高的鉴相频率下实现频率合成，从而获得低相位噪声和小频率步进。目前，制约 DDS 激励锁相环(PLL)应用的主要因素是其杂散抑制特性差[1]，经过 PLL 的倍频作用后，频率合成器输出信号近端杂散常常不能满足指标要求，特别是在输出信号频率越高的情况下更是如此。本文采用一种改进的基于 DDS 激励 PLL 技术，相对于传统的方式，在近端杂散抑制特性方面具有更大优势，可同时满足频率合成器的低相位噪声、小频率步进及低杂散等要求。

1　DDS 激励 PLL 频率合成的杂散特性

DDS 激励 PLL 频率合成是利用 DDS 的高频率分辨率，将 DDS 输出信号作为 PLL 的参考信号。这样可以使锁相环利用高的鉴相频率来实现小频率步进、低相位噪声及较快的频率转换时间[2]。其简要原理框图见图 1。

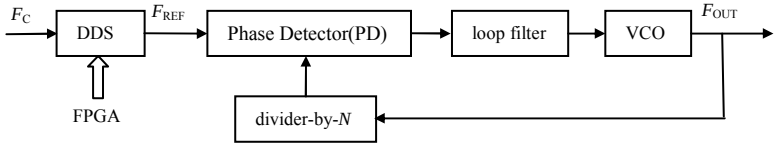

Fig.1 Block diagram of the frequency synthesizer based on DDS driving PLL
图 1 DDS 激励 PLL 频率合成简要原理框图

收稿日期：2013-05-18；**修回日期：**2013-07-08

图 1 中 F_C 为 DDS 参考时钟频率，频率合成器输出信号频率的计算方法[3]是：

$$F_{OUT}=F_{REF}\times N \tag{1}$$

式中：F_{OUT} 为输出信号频率；F_{REF} 为 DDS 输出频率；N 为频率合成器反馈分频比。

DDS 激励 PLL 的频率合成方式，通过改变 DDS 的输出频率 F_{REF} 和频率合成器反馈分频比 N 来改变频率合成器的输出频率。频率合成器输出信号的杂散抑制可分为 2 个部分来分析：a) 由锁相环的鉴相频率 F_{REF} 及其谐波通过环路滤波器泄露引起的杂散[4]，位于环路带宽以外，这种杂散通过环路滤波器合理选择环路阶数和环路带宽可以得到很好的抑制，下面不做具体分析；b) 由作为锁相环参考信号的 DDS 输出信号近端杂散引起的杂散，这部分杂散通过环路滤波器抑制作用有限，在环路带宽内的杂散不会得到抑制，由于频率合成器的输出是利用锁相环的倍频作用，DDS 输出信号近端杂散还会恶化(与 N 有关)。由此可见，影响 DDS 激励 PLL 的频率合成的杂散抑制是 DDS 的近端杂散。DDS 直接激励 PLL 频率合成器的近端杂散抑制计算方法[3]是：

$$SP_{SYNTH}=SP_{DDS}+20\lg N \tag{2}$$

式中：SP_{SYNTH} 为频率合成器的近端杂散抑制，单位为–dBc；SP_{DDS} 为 DDS 近端杂散抑制，单位为–dBc。

从公式(1)及公式(2)可见，在输出信号频率确定的情况下，DDS 激励 PLL 的频率合成方式要获得低杂散就需要降低 N，提高鉴相频率 F_{PFD} 或降低 DDS 近端杂散。对于任一款锁相环芯片，由于参考输入频率的限制，N 的降低程度相应也会受到限制，那么要想获得低杂散就必须降低 DDS 近端杂散。通过降低作为锁相环参考信号的 DDS 输出信号近端杂散，可以使频率合成器获得低杂散。

2 改进的 DDS 激励 PLL 频率合成器工作原理

DDS 输出信号的近端杂散抑制特性受其窄带无杂散动态范围(Spurious Free Dynamic Range，SFDR)的限制，除了合理选择 DDS 输出频率和参考时钟频率，防止非线性特性落到 DDS 输出信号近端造成的额外影响外[5]，无法再进一步改善。由于信号分频可以改善信号杂散抑制特性，可以利用这个特性，将 DDS 输出信号变频到一个较高的频率(这里不会降低信号的杂散抑制特性)，再对这个信号进行分频，这样就可以进一步改善 DDS 输出信号的近端杂散抑制[6]。其简要原理框图见图 2。

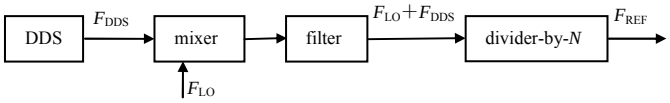

Fig.2 Block diagram of improved spurious suppression of output signal of DDS
图 2 改善 DDS 输出信号杂散抑制简要原理框图

这样经过分频后的近端杂散抑制将变为：

$$SP_{REF}=SP_{DDS}-20\lg M \tag{3}$$

式中：SP_{REF} 为分频后的近端杂散抑制，单位为–dBc；SP_{DDS} 为 DDS 近端杂散抑制，单位为–dBc；M 为分频器的分频比。

按此方式激励频率合成器，频率合成器的近端杂散抑制计算公式将变为：

$$SP_{SYNTH}=SP_{REF}+20\lg N \tag{4}$$

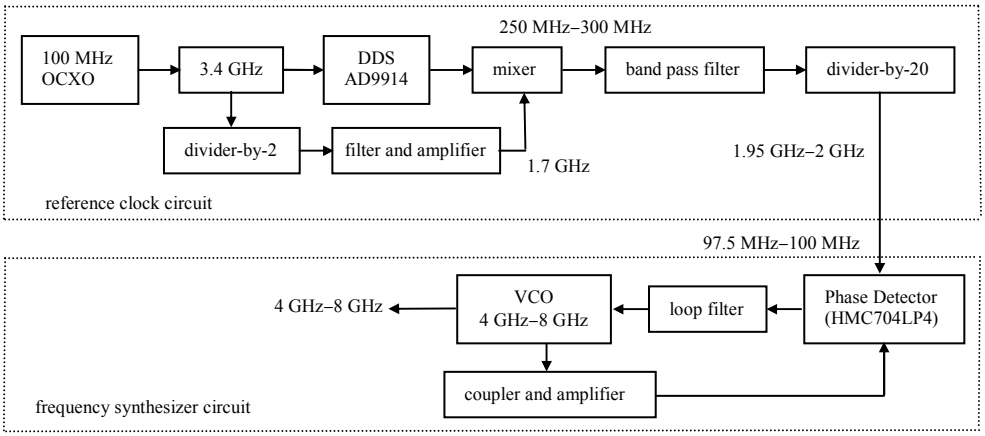

Fig.3 Block diagram of improved frequency synthesizer based on DDS driving PLL
图 3 改进后的 DDS 激励 PLL 频率合成器简要原理框图

下面通过一个工程实例介绍改进的基于 DDS 激励 PLL 频率合成器工作原理。该工程实例关键技术指标要求如下：输出频率：4 000 MHz ~ 8 000 MHz(连续波)；频率步进：100 kHz；单边带相位噪声：≤–95 dBc/Hz@10k Hz；频率转换时间：≤200 μs；杂散抑制：≤–70 dBc；输出功率：10 dBm±1.5 dB；频率准确度：优于$\pm 1\times 10^{-6}$。

从上面的指标可见，需要实现 C 波段宽带、小频率步进、低相位噪声、低杂散和快速频率转换。采用了改进的基于 DDS 激励 PLL 频率合成技术，其工作原理框图见图 3。

在该工程实例中，可以将该频率合成器划分成 2 个主要的功能模块：参考时钟电路和频率合成器电路。参考时钟电路的主要作用是获得小频率步进、低近端杂散及低相位噪声的参考时钟信号；频率合成电路的主要作用是利用高鉴相频率获得低相位噪声、较快的频率转换时间及宽带频率合成。经过这 2 部分电路的结合，从而可以在满足小频率步进的情况下获得低相位噪声及低杂散的目的。

参考时钟电路将 DDS 输出频率通过变频后变到一个较高的频率，再经过分频器除以 20 将频率降低到 97 MHz~100 MHz，以此信号作为频率合成器的参考时钟信号。经过这样的处理，可以大大改善作为频率合成器参考时钟的近端杂散。参考时钟电路采用 DDS 芯片 AD9914，参考时钟频率为 3.4 GHz，输出频率为 250 MHz~300 MHz，其窄带无杂散动态范围可以达到–95 dBc(载波±500 kHz 范围内)。根据公式(3)，经过变频分频后得到频率合成器参考时钟信号的近端杂散抑制可达到：$SP_{\mathrm{REF}}=-95\ \mathrm{dBc}-20\lg 20=-121\ \mathrm{dBc}$。

频率合成器电路的输出信号频率为 4 GHz~8 GHz，采用的锁相环芯片是 Hittite 公司的数字锁相环 HMC700LP4，鉴相频率取 97 MHz~100 MHz。按输出频率最高 8 GHz，N 最高为 80 计算，是其杂散抑制最差的情况。根据公式(4)，频率合成器输出信号的近端杂散抑制可达到：$SP_{\mathrm{SYNTH}}=-121\ \mathrm{dBc}+20\lg 80=-83\ \mathrm{dBc}$。

近端杂散抑制可以满足指标要求的≤–70 dBc。

频率合成电路工作时选用 HMC700LP4 的整数工作模式，其锁相环芯片底噪为–226 dBc/Hz@20 kHz。选频率合成电路的最高输出频率 8 GHz，按间接数字锁相式频率合成器的带内残留相位噪声计算方法：

$$PN_{\mathrm{SYNTH}}=PN_{\mathrm{TOT}}+10\lg F_{\mathrm{PD}}+20\lg N \tag{5}$$

式中：PN_{SYNTH} 为频率合成器的残留相位噪声；PN_{TOT} 为锁相环芯片底噪，F_{PD} 为鉴相频率。

得到频率合成电路的残留相位噪声为(@20 kHz)：$PN_{\mathrm{SYNTH}}=-226\ \mathrm{dBc/Hz}+10\lg(100\times 10^{6})+20\lg 80=-108\ \mathrm{dBc/Hz}$。

由此分析可见，该频率合成器的关键技术指标是可以满足指标要求的。

3　电路设计与实现

3.1　参考时钟电路的实现

参考时钟电路包含 3.4 GHz 点频源及由其产生的 1.7 GHz 本振、DDS 电路、变频滤波电路及分频电路等。

参考时钟电路输出信号的相位噪声与频率合成器输出信号的相位噪声相关，而决定参考时钟电路输出信号相位噪声的最为关键的就是 3.4 GHz 点频源能够达到的相位噪声。为了保证 3.4 GHz 点频源的相位噪声，在设计过程中可以选用模拟锁相的方式实现[7]，也可以选用底噪足够的锁相环芯片(如 Hittite 公司的 HMC440QS16G)通过间接数字式锁相来实现。

参考时钟电路选用的 DDS 芯片是 AD 公司 AD9914，相对于其他常用 DDS 芯片，如 AD9910 和 AD9858 等，其窄带无杂散动态范围指标更有优势，±500 kHz 范围内可达–95 dBc。此外 AD9914 时钟频率最高可达到 3.5 GHz，可减少 DDS 非线性特性造成的影响，并简化电路设计。

3.2　频率合成电路的实现

根据对 DDS 激励 PLL 频率合成技术的分析，频率合成电路选择锁相环芯片时应选择可同时满足芯片底噪尽量低、鉴相频率高的特点。

频率合成电路锁相环芯片为 Hittite 公司的 HMC704LP4，压控振荡器为 Hittite 公司的 HMC-C028，环路滤波器为有源环路滤波器。根据前面的分析，频率合成电路环路滤波器要滤除的杂散是由鉴相频率泄露

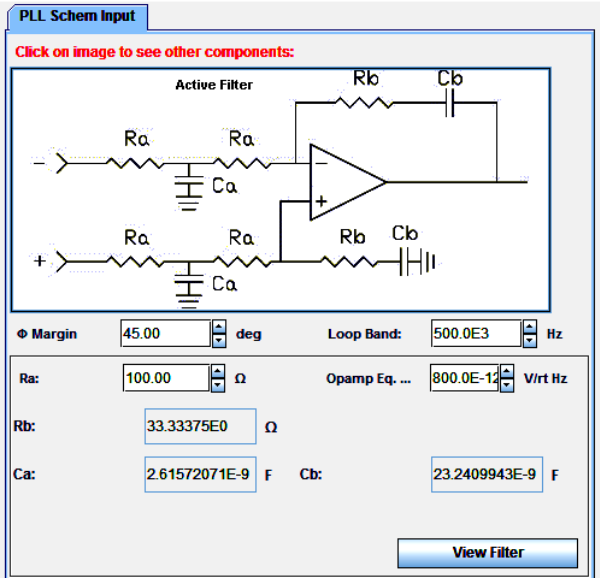

Fig.4 Associated circuit model of PLL loop filter

图 4　锁相环环路滤波器相关电路模型

引起的杂散(约偏离载波±100 MHz 处)，再综合关键技术指标要求的频率转换时间≤200 μs，环路带宽取 500 kHz(环路带宽最大不能超过鉴相频率的 1/5，否则会大幅增加环路的不稳定性[8])。频率合成电路的环路滤波器电路模型见图 4。

4 测试结果

设计的频率合成器经过参数测试，其性能指标全部满足技术要求，输出信号单边带相位噪声测试结果见图 5。该测试结果由安捷伦公司频谱分析仪 E4440A 测试获得，与前面的分析结果–108 dBc/Hz@20 kHz 相符合。实际测试结果与前面理论分析的结果差别为 4 dB 左右，这是由于实际工作中，环路滤波电路、VCO 及放大器等都会引起频率合成器相位噪声恶化。从测试结果看，恶化的相位噪声为 4 dB 左右，满足设计要求。

其输出信号近端杂散测试结果如图 6 所示。该测试结果由安捷伦公司频谱分析仪 E4440A 测试获得，与前面的分析结果–83 dBc 相符合，满足设计要求。

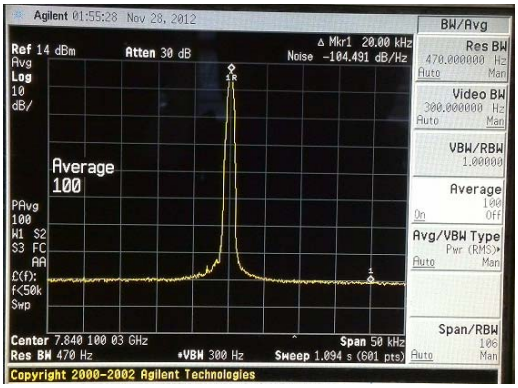

Fig.5 Testing results of SSB phase noise
图 5 单边带相位噪声测试结果

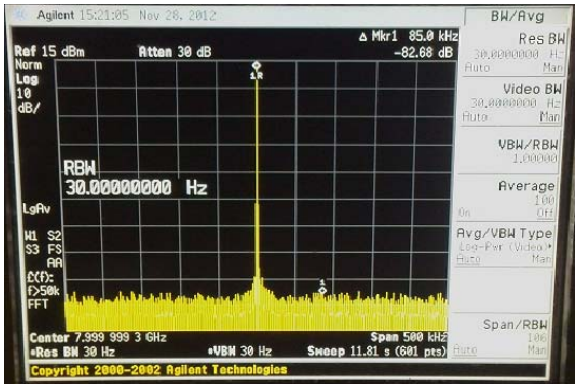

Fig.6 Near-end spurious of output signal
图 6 输出信号近端杂散

经过查找国内外近期的技术资料，采用 DDS 激励 PLL 方式实现的频率合成器其杂散抑制指标普遍水平是≤–60 dBc，且应用频段较低(如 L 波段)。通过该工程实例的理论推导及实际测试结果表明，采用本文介绍的改进的 DDS 激励 PLL 频率合成器技术，在保证其他关键技术指标的前提下，杂散抑制指标可得到显著提高。

5 结论

本文介绍的改进的 DDS 激励 PLL 频率合成器技术，在实现宽带频率合成时，可满足小频率步进，低相噪，有效改善频率合成器近端杂散，达到≤–70 dBc。该技术具有一定先进性与通用性，该技术实现的频率合成器可以满足系统对高质量信号源的要求，具有广阔的应用前景。

参考文献：

[1] 白居宪. 低噪声频率合成[M]. 西安:西安交通大学出版社, 1995. (BAI Juxian. Low Noise Frequency Synthesizer[M]. Xi'an:Xi'an Jiaotong University Press, 1995.)

[2] 高树亭,高峰,徐盛旺,等. 合成频率源工程分析与设计[M]. 北京:兵器工业出版社, 2008. (GAO Shuting,GAO Feng,XU Shengwang,et al. The Design and Analysis of Synthesized Frequency Source[M]. Beijing:Arms Industry of Publishment, 2008.)

[3] Ulich L Rohde. Microwave and Wireless Synthesizer:Theory and Design[M]. New York:Wiley Interscience, 1997.

[4] Manassewitch V. Frequency Synthesizers:Theory and Design[M]. 3rd ed. New York:Wiley Interscience, 2005.

[5] 杨杰,杨光,蒋国琼,等. 基于 DDS 的低杂散捷变频频率合成器设计[J]. 信息与电子工程, 2011,9(4):501–504. (YANG Jie,YANG Guang,JIANG Guoqiong,et al. Design of a frequency agility synthesizer with low spurious using DDS technology[J]. Information and Electronic Engineering, 2011,9(4):501–504.)

[6] Alexander Chenakin. Frequency Synthesizers: Concept to Product[M]. Norwood,MA:Artech House, 2011.

[7] 杨光,蒋国琼,董洪新,等. 模拟锁相陶瓷介质振荡器技术[J]. 信息与电子工程, 2010,8(2):169–172. (YANG Guang, JIANG Guoqiong,DONG Hongxin,et al. Analog Phase-Locked Ceramic Resonator Oscillators[J]. Information and Electronic Engineering, 2010,8(2):169–172.)

[8] Crawford J A. Advanced Phase-lock Techniques[M]. Norwood,MA:Artech House, 2008.

作者简介:

杨　杰(1969-),男,四川省绵阳市人,高级工程师,研究方向为微波频率合成器及发射机技术.

杨　光(1976-),男,四川省遂宁市人,硕士,研究方向为频率合成器及相关产品.

蒋国琼(1978-),女,四川省广安市人,本科,研究方向为数字信号处理.email:guoqiong.jiang@changhong.com.

宋烨曦(1985-),男,四川省乐山市人,硕士,研究方向为频率合成器及上下变频技术.

☆☆