文章编号：2095-4980(2015)03-0520-05

基于 FPGA 的 DDS 双相信号发生器设计

崔智军，张　瑜

(安康学院 电子与信息工程系，陕西 安康 725000)

摘　要：直接数字频率合成(DDS)广泛应用于电信与电子仪器领域，是实现设备全数字化的关键技术。基于 Altera 的现场可编程门阵列(FPGA)核心板 DE0-Nano，结合高性能的 THS5615A 数模转换芯片，完成了 DDS 的硬件设计与实现。实测结果表明，对于频率范围在 0.1 Hz~7.3 MHz 的正弦信号，输出信号的频率精确度优于 0.5%，移相范围 0°~360°，移相误差约为 0.5°，且相位以 1°任意步进，具有电路简单，输出波形调整灵活以及性价比高等特点。

关键词：直接数字频率合成；现场可编程门阵列；信号发生器；Verilog HDL 语言

中图分类号：TN791；TP3391　　**文献标识码：**A　　**doi：**10.11805/TKYDA201503.0520

Design of DDS dual signal generator based on FPGA

CUI Zhijun，ZHANG Yu

(Department of Electronics and Information Engineering，Ankang University，Ankang Shaanxi 725000, China)

Abstract：Direct Digital frequency Synthesis(DDS) is widely used in the field of telecommunication and electronic equipment, which is the key technique to achieve all-digital equipment. The design and implementation of DDS hardware is completed by adopting Altera DE0-Nano Field Programmable Gate Array(FPGA) core-board combining with high-performance THS5615A Digital to Analog Converter(DAC). The measured results show that, for the frequency range from 0.1 Hz to 7.3 MHz, the frequency accuracy of output signal is better than 0.5%, and the phase shift range is from 0° to 360°, with a phase-shift error within 0.5°, and the phase at any step by 1°. The design bears such advantages as a simple circuit, flexible adjustment of the output waveform, as well as a high performance-price ratio.

Key words：Direct Digital frequency Synthesis；Field Programmable Gate Array；signal generator; Verilog HDL

直接数字频率合成(DDS)具有成本低、功耗低、分辨力高、转换速度快、接口数字化、易于与微型处理器相结合等特点，近十多年来得到了飞速的发展[1-3]。虽然目前许多 ASIC(Application Specific Integrated Circuit)芯片制造厂商推出了专用 DDS 芯片，但在一些特殊应用场合，专用 DDS 芯片的输出波形种类、频带宽度、输出精确度等难以满足设计者的要求。因此，把 DDS 技术与高集成度、高速度、良好性能的数字器件相结合，成为当前研究的热点[4-6]。FPGA 器件具有结构灵活、设计周期短、高集成度、性能好及能被强大 EDA(Electronic Design Automation)软件支持等优点，因而在数字逻辑设计和电子生产中得到迅速普及和广泛应用。同时通过不同的编程数据对 FPGA 进行配置，可以产生不同的电路功能，所以 FPGA 器件十分适合实现 DDS 技术[5-7]。

本文在 DDS 原理的基础上，结合 FPGA 器件的良好性能，利用 Altera 公司的 FPGA 软件开发工具 Quartus Ⅱ完成了信号发生器的设计和综合，最后在 Altera 的 DE0-Nano FPGA 开发板上验证了设计。实测数据表明，本系统可以实现信号波形的多样化输出，而且方便可靠，同时具有电路简单，输出波形调整灵活以及性价比高等特点。

1　DDS 基本原理

DDS 的工作原理是基于正弦信号的相位与时间成线性关系，通过查找数据的方式得到输出信号的瞬时值，因

收稿日期：2014-05-08；**修回日期：**2014-12-09

基金项目：国家自然科学基金资助项目(面上项目，重点项目，重大项目)；国家教育部博士点基金资助项目

而实现频率合成，其工作原理如图 1 所示[2,8]。

DDS 主要是由相位累加器和波形存储器构成的数控振荡器(Numerically Controlled Oscillators，NCO)、数模转换器(DAC)和低通滤波器(Low Pass Filter，LPF)3 部分组成。DDS 工作时，频率控制字(Frequency Control Word，FCW)K 在每个时钟周期内在相位累加器中累加 1 次，得到的相位值在每个时钟周期内以二进制码的形式去寻址正弦查询表 ROM(Read Only Memory)，将相位信息转变成它相应的数字化正弦幅度值，ROM 输出的数字化波形序列再经 DAC 得到模拟的信号输出，DAC 输出的阶梯波通过低通滤波器(LPF) 平滑滤波后得到一个纯净的正弦信号。当 DDS 中的相位累加器计数值大于 2^N时(相位累加器的数据位宽为 N)，累加器自动溢出最高位，保留后面的 N 比特数字于累加器中，即相当于做 2^N 的模余运算，相位累加器平均每 $2^N/K$ 个时钟周期溢出 1 次，整个 DDS 系统输出 1 个周期的正弦波。因此，通过改变频率控制字 K 就可以改变输出频率 。

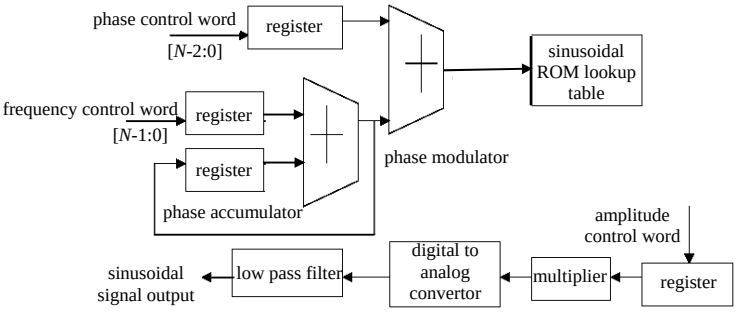

Fig.1 DDS schematic diagram
图 1 DDS 原理图

图 1 中除了 DDS 的基本组成部分，也包含了相位调制和幅度调制功能，可以通过相位控制字和幅度控制字来改变输出正弦信号的初相位和幅度。

根据上述原理分析可知，输出正弦波的频率表示为：

$$f_0 = \frac{K}{2^N} \times f_c \tag{1}$$

所以频率控制字 K、输出信号频率 f_0 和时钟频率 f_c之间的关系是：

$$K = \frac{f_0}{f_c} \times 2^N (1 \leqslant K \leqslant 2^{N-1}) \tag{2}$$

其中 N 是相位累加器的字长，频率控制字与输出信号频率成正比。由 Nyquist 取样定理，所产生的信号频率不能超过时钟频率的一半，在实际运用中，为了保证信号的输出质量，输出频率一般不要高于时钟频率的 33%，以避免混叠或谐波落入有用输出频带内。相位累加器输出的数据位并不全部加到查询表，而要进行截位。如果相位累加器数据位宽为 32，ROM 的字长为 10 bit，不进行数据截断时，所需的 ROM 容量将达到 4 GB；相位截短减小了查询表长度，可以有效降低硬件实现代价；但并不影响频率分辨力，对最终输出会增加一个很小的相位噪声，影响输出信号的频谱纯净度。

$$K = \mathrm{FCW}\left(N-2{:}0\right), \qquad M=2^N \tag{3}$$

由式(1)、(2)可知，DDS 的最小输出频率为(K=1)：

$$f_{\min} = \frac{K_{\min}}{M} f_c = \frac{K_{\min}}{2^N} f_c = \frac{1}{2^N} f_c \tag{4}$$

DDS 的极限频率为：

$$\Delta f_0 = f_0(K+1) - f_0(K) = \frac{1}{2^N} f_c \tag{5}$$

通过以上分析可以看出在系统时钟频率一定的条件下，DDS 的分辨力正比于累加器的数据位宽(N 越大，频率分辨力越高)，但是较大的 N 值，就意味着截断的数据位越多，带来的频谱杂散就会更大。

2　基于 FPGA 的 DDS 设计

利用 Altera 公司的 cyclone Ⅱ FPGA，最大限度地实现设计的数字化、集成化。在实现过程中，用 Verilog HDL 语言把 DDS 封装起来，最大地实现资源复用及灵活配置。具体实现系统框图如图 2 所示。

整个系统的工作过程大致如下：DDS 系统在主时钟和累加器的共同作用下，累加器输出波形数据表地址，在 ROM 中查得相应的波形当前幅度值，经 D/A 转换后输出脉冲幅度调制信号，再经低通滤波器滤除高次谐波成

分，最终输出频率为 f_o 的模拟信号。系统通过 4×4 键盘使电路能输出 2 路正弦波、三角波、方波，并且 2 路信号相位差可调。

图 2 所示的基于 FPGA 的 DDS 核心模块分别是键盘控制模块、相位累加模块、波形查询表模块。下面就针对这 3 个关键模块给出详尽的设计描述。

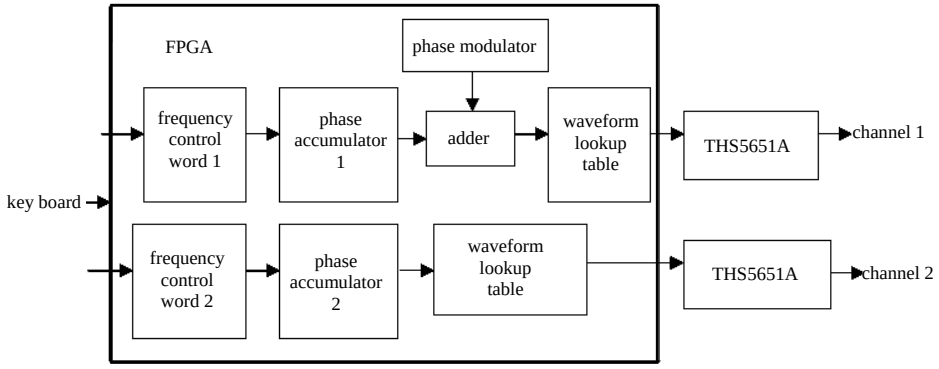

Fig.2 System design diagram

图 2 系统设计框图

3 键盘控制模块

本模块采用的是 4×4 的键盘，该键盘有 16 个按键，本设计利用前 12 个按键实现对输出信号的波形变换、频率以及相位的控制。第 1 排的 4 个按键主要是对通道 1 的信号的频率控制，按键 0 用来选择频率调节的步长，根据频率控制字模块可知，该部分的步长调节可以分为 6 个不同的数量级。按键 1 表示增加一个步长，按键 2 表示减少一个步长，按键 3 用来选择通道 1 输出的信号的种类，其中包括正弦波、三角波和方波，这个主要通过查询不同的查询表来实现。第 2 排的 4 个按键是用来实现相位的调节，按键 4 表示对相位的重置，可以用来返回原始相位，按键 5 用来对相位实现一个步长的增加，按键 6 减少一个步长的相位。第 3 排的 4 个按键类似于第 1 排的 4 个按键，用来实现对通道 2 的频率以及输出波形的选择。剩余的按键均为无效按键。

4 相位累加模块

相位累加器是由 N 位加法器和 N 位寄存器级联构成，是 DDS 最主要的组成部分。每来 1 个时钟脉冲 f_c，加法器将频率控制字与寄存器输出的相位累加数据相加，然后把相加的结果送至寄存器的数据输入端。寄存器将加法器在上一个时钟作用后所产生的相位数据反馈到加法器的输入端，以使加法器在下一个时钟作用下继续与频率控制字进行相加。这样相位累加器在时钟作用下进行累加。当相位累加器累加满量时就会产生 1 次溢出，完成 1 个周期性动作。

5 波形查询表模块

查询模块是将要输出的波形数据存储在*.mif 文件中，然后根据累加器的高 10 位的输出，从查询表中查找数据用于输出。在本设计中，查询表包括通道 1 和通道 2 的正弦波、三角波、方波的数据列表。相位累加器每溢出一位表示一个周期的波形输出完毕。而查询的数据表则由波形选择按键决定其最终输出。需注意的是由于存储空间有限，采用采样的方法存储波形数据，则波形数据都是一些离散的点，这决定查询表的输出端输出的波形应该是离散的，所以需在后面模块加低通滤波器，根据 Naquist 采样定理来恢复原始波形。

6 基于 FPGA 的 DDS 的设计实现

6.1 DDS 双相信号模块在 Quartus II 中的设计实现

FPGA 开发工具 Quartus II 为设计者提供了多种设计输入工具，常用的是文本编辑器和原理图编辑工具。原理图编辑工具使用软件自带的小模块或用 HDL 硬件描述语言设计的小模块直接进行系统级的原理图设计。本设计在 Quartus II 软件中，先用 Verilog 语言设计出将会用到的各个小模块，然后根据 DDS 的原理，将自行设计的各个小

模块和软件提供的相关小模块系统地连接起来，最终完成 DDS 双相信号发生器在 FPGA 中的设计[9]。

6.2 DDS 双相信号模块的硬件实现

硬件系统的 FPGA 采用 Altera 的 DE0-Nano FPGA 开发板(Cyclone IV EP4CE22F17C6N)作为 DDS 所有相关模块的载体。双相正弦波、三角波、方波的实测图分别如图 3~图 5 所示。移相功能实测图如图 6~图 7 所示。

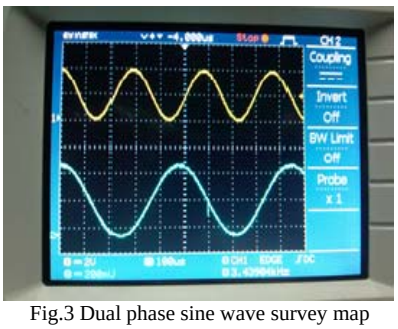

Fig.3 Dual phase sine wave survey map
图 3 双相正弦波实测图

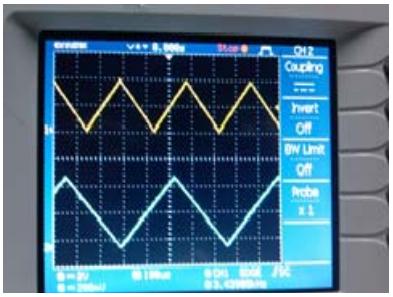

Fig.4 Dual triangle wave survey map
图 4 双相三角波实测图

Fig.5 Dual square wave survey map
图 5 双相方波实测图

6.3 数据测试与分析

完成的双相正弦波信号频率测试结果如表 1 所示，表中列出了部分测量数据，每 2 次测量数据间隔为 50 s，通过多次测量和分析得出频率精确度优于 0.5%。且双相正弦波信号的相位可按步进 1°任意可调。

此外，还对双相三角波、方波信号频率进行了测试和分析，均达到了设计指标要求。

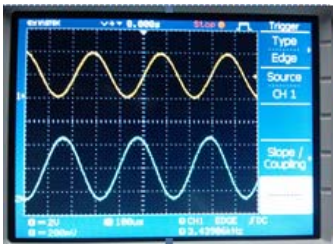

Fig.6 Waveform before phase shift
图 6 移相前波形

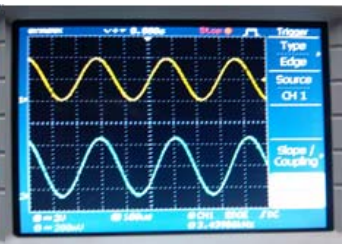

Fig.7 Phase shifted waveform
图 7 移相后波形

表 1 双相正弦波信号频率测试表

Table1 Frequency test for two-phase sine wave signal

No.	nominal frequency/kHz	measured frequency/kHz 1st	2nd/kHz	3rd/kHz
1	0.020 000 0	0.020 861 3	0.020 795 6	0.020 854 1
2	0.050 000 0	0.050 663 0	0.050 642 9	0.050 652 1
3	0.100 000 0	0.100 325 1	0.100 301 4	0.099 998 7
4	0.500 000 0	0.500 670 2	0.500 654 0	0.499 998 7
5	4.000 00	4.000 39	4.000 37	4.012 47
6	10.000 00	9.971 48	9.995 24	9.986 54
7	20.000 0	19.986 0	19.987 9	19.991 0
8	40.000 0	39.996 0	39.975 8	39.988 5
9	500.000 0	499.999 3	499.987 9	499.997 6
10	5 000.00	4 999. 92	4 998. 94	4 999. 16

7 结论

本设计利用 Altera 的 DE0-Nano FPGA (Cyclone IV EP4CE22F17C6N)器件，采用 DDS 技术实现双相信号发生器的全数字设计。实测结果表明，本系统频率调整步长小，输出功能切换速度快，频率控制方便，且电路设计简单。同时本系统可以根据现实需求，方便快捷地实现 3 种波形的变换输出，具有调频和调相等功能，有较高的实用价值。

参考文献:

[1] 张涛,陈亮. 现代 DDS 的研究进展与概述[J]. 电子产品世界, 2008(2):133–136. (ZHANG Tao,CHEN Liang. Research progress and overview of modern DDS[J]. Electronic Engineering & Product World, 2008(2):133–136.)

[2] 彭文标,黄悦华. 基于 DDS 技术的信号源设计与实现[J]. 微计算机信息, 2007,23(7):271–272. (PENG Wenbiao, HUANG Yuehua. Design and realization of signal source based on DDS technology[J]. Microcomputer Information, 2007,23(7):271–272.)

[3] 陈诚,秦立涛. 基于 FPGA 的 DDS 信号源设计与实现[J]. 电脑与信息技术, 2010,18(2):10–12. (CHEN Cheng,QIN Litao. Implementation of DDS signal source based on FPGA[J]. Computer and Information Technology, 2010,18(2):10–12.)

[4] 张凯琳,苏淑靖. 基于 FPGA 的 DDS 多路信号源设计[J]. 电测与仪表, 2011,48(543):63-65. (ZHANG Kailin,SU Shujing. Design of multi-channel DDS signal generator based on FPGA[J]. Electrical Measurement & Instrumentation, 2011,48(543):63-65.)
[5] 王木有,汪德如. 基于 FPGA 的 DDS 信号发生器系统的设计[J]. 电子技术, 2009,41(12):143-148. (WANG Muyou, WANG Deru. Design of DDS signal generator system based on FPGA[J]. Electronic Technology, 2009,41(12):143-148.)
[6] 曾云,韩顺峰. 基于 FPGA 的 DDS 信号源设计及误差分析[J]. 舰船电子工程, 2009,29(272):73-75. (ZENG Yun,HAN Shunfeng. Design and error analysis of DDS signal generator based on FPGA[J]. Ship Electronic Engineering, 2009,29(272):73-75.)
[7] 韩喜春,刘柏森. 基于 FPGA 的可重构多通道 DDS 信号发生器[J]. 电测与仪表, 2007,44(499):51-53. (HAN Xichun, LIU Baisen. Design of reconfigurable multi-channel DDS signal generator based on FPGA[J]. Measurement & Instrumentation, 2007,44(499):51-53.)
[8] 温锡怀,元泽怀. 基于 Nios II 的 DDS 数控信号源研究[J]. 肇庆学院学报, 2012,33(5):14-17. (WEN Xihuai,YUAN Zehuai. Design of a DDS digital controlled signal generator based on the Nios II[J]. Journal of Zhaoqing University, 2012,33(5):14-17.)
[9] 杨威,左月明,刘洋. 利用 FPGA 实现 DDS 信号发生器的研究[J]. 山西农业大学学报:自然科学版, 2007,27(3):329-332. (YANG Wei,ZUO Yueming,LIU Yang. The research on using FPGA to realize DDS signal generator[J]. Journal of Shanxi Agriculture University:Natural Sciences Edition, 2007,27(3):329-332.)

作者简介:

崔智军(1978-),男,陕西省渭南市人,硕士,讲师,研究方向为微电子、数模混合集成电路.email:cuizj_163@163.com.

张 瑜(1991-),男,陕西省周至县人,学士,主要研究方向为基于 FPGA 的嵌入式系统研究.

****

中国高科技产业化研究会

第九届全国信号和智能信息处理与应用学术会议征文通知

中国高科技产业化研究会智能信息处理产业化分会拟定于**2015 年 10 月中下旬**(具体时间和地点待定)召开全国第九届信号和智能信息处理与应用学术会议。经由我会专家组成的论文评审委员会评审并被录用的论文,全部在国家中文核心期刊《计算机工程与应用》出版的专刊上发表,出版的专刊赠送两册给每篇论文的第一作者。根据作者的需求,可将部分论文,择优推荐到《电子学报》、《测控技术》、《信号处理》、《太赫兹科学与电子信息学报》、《红外与激光工程》等杂志社的刊物上发表。欢迎社会各界踊跃投稿,望分会各位理事带头投稿并参加会议。

征文内容、征文要求、论文撰写要求,见《太赫兹科学与电子信息学报》网站(www.iaeej.com)。

论文电子投稿:xuehui121@sina.com。截稿时间:2015 年 5 月 30 日前,过期不侯。投稿一个月后,论文审查合格后首先发电子版录用通知,然后在通过邮局寄发平信纸稿录用通知;请查收并回复是否收到。办公室联系人:曾 丽:010-62228765、13611218623

组委会顾问:郭桂蓉 毛二可 李衍达 侯朝焕 李启虎 倪光南 张彦仲

组委会负责人:龙 腾(北京理工大学信息与电子学院院长)

会议总策划兼执行秘书长:曾义芳 13621330075

主管单位:中国高科技产业化研究会

主办单位:中国高科技产业化研究会智能信息处理产业化分会 中国高科技产业化研究会信号处理专家委员会

协办单位:北京理工雷科电子信息技术有限公司 北京中际孚歌科技有限公司
天津英贝特航空航天科技有限公司 《计算机工程与应用》杂志社

支持单位:全国相关的高等院校、军内外科研院所几百家单位(略)

学会办公室:北京理工大学新信息楼 911 室;(010)-68914734(办公)

中国高科技产业化研究会信号处理专家委员会
2014 年 10 月 15 日

中国高科技产业化研究会智能信息处理产业化分会
2014 年 10 月 15 日