

文章编号: 2095-4980(2017)06-0881-04

太赫兹通信中高速数字信号处理并行化算法

郝鑫, 汪朝晖, 赵磊, 林长星, 成彬彬, 邓贤进

(中国工程物理研究院 微系统与太赫兹研究中心, 四川 成都 610200)

摘要: 利用矩阵将数字信号处理算法采用并行化方式表示, 然后利用矩阵张量积的思想, 推导出以张量积表示的两级迭代并行滤波算法。在此基础上进一步分解得到多级迭代的并行滤波算法, 并且采用多相分解的方式进一步提高系统应用中的并行化率。利用上述算法对码率为 5 Gbps 的 16QAM 信号进行 32 路并行化处理的 MATLAB 乘加级仿真, 仿真结果与串行算法得到的数据等效, 最终得到与理想误码率对比的系统误码率, 仿真结果与理论误码率误差小于 0.05 dB。

关键词: 太赫兹; 高速; 数字信号处理; 并行化; 算法

中图分类号: TN73

文献标志码: A

doi: 10.11805/TKYDA201706.0881

Parallel high speed digital signal processing algorithm in THz communication

HAO Xin, WANG Zhaohui, ZHAO Lei, LIN Changxing, CHENG Binbin, DENG Xianjin

(Microsystem and Terahertz Research Center, China Academy of Engineering Physics, Chengdu Sichuan 610200, China)

Abstract: This paper firstly exhibits digital signal processing algorithm in a parallelization method with matrix representation. A two-stage iterated parallel digital filtering algorithm is expressed based on tensor product. Then a multi-stage iterated parallel algorithm is composed of two-stage algorithm, and a polyphase algorithm is conducted in order to enhance the parallel ratio. A 16QAM signal with 5 Gbps code rate is paralleled to 32 routes with the above algorithm and simulated in MATLAB. The simulation results show that the parallel algorithm is equivalent to the serial algorithm. Finally, the bit error rate is obtained, and the error between the theoretical bit error rate and the simulation results is within 0.05 dB.

Keywords: terahertz; high speed; digital signal processing; parallel; algorithm

随着科技的发展, 人们对通信速率的要求越来越高。在 20 世纪 90 年代无线应用正在普及阶段, 以兆为单位的通信速率就足以满足当时的通信需求, 然而当今 G 比特通信速率的应用已经不难看到, 在实验室中利用太赫兹技术, 已经可以实现 T 比特量级的通信速率^[1-2]。如果仍然使用传统的微波器件, 性能很难支持如此高的通信速率, 本文将要讨论的 5 Gbps 通信速率的算法是针对太赫兹通信系统。早期的通信设备采用的大都是串行通信方式, 目前的主流通信设备虽然逐渐在增加天线以提高通信速率, 然而内部依然主要使用串行的信号处理方式。在串行通信的方式下, 提高通信速率主要依靠提高采样率、调制信号阶数、带宽等方式。然而受到硬件条件的限制, 采用上述方式所能够提高的采样率非常有限。因此, 对新的高速信号处理算法的需求非常迫切。近年来, 并行化的高速信号处理方式逐渐流行起来, 高速并行化信号处理可以非常有效地提高通信速率。

国外对高速并行化的研究开展较早, 早在 1994 年, 美国国家航空和宇宙航行局(National Aeronautics and Space Administration, NASA)的喷气推进实验室, 就提出了并行接收机结构(Parallel Receiver, PRX)。国内开展这方面工作较早的有清华大学、中国工程物理研究院等科研院所。在 2012 年, 中国工程物理研究院在使用高频率太赫兹单元组件的条件下, 研制出了高速并行化的通信速率可以达到 2 Gbps 的原理样机。

1 并行化算法

1.1 FFA 算法

在并行化算法方面, 快速卷积算法(Fast FIR Algorithms, FFA)和迭代短卷积算法(Iterated Short Convolution Algorithm, ISCA)是当今比较流行的 2 种并行化算法。在实际应用当中, 当通信速率不是特别高的情况下, 也有

部分文献采用加法共享的方式实现并行化算法^[3], 文献[3]在 5 Gbps 的情况下使用加法共享方式, 该算法在上述 3 种算法中对硬件资源的消耗最小。然而, 随着通信速率的提高, 并行路数增加, 采用纯加法共享的方式由于矩阵过于庞大, 在具体实现时不具备可操作性。文献[4]和文献[5]对 FFA 算法进行了详细阐述。FFA 算法首先将原始的待输入串行序列经串并转换, 分解为并行输入序列, 然后将滤波器系数按照同样方式分解为相似的并行序列, 该分解方法在文献[6]中进行了详细阐述。在分解为并行序列后, 再利用文献[7]中的方法将并行化的方式用矩阵形式表示出来。

FFA 算法在实现 2 并行、3 并行这种并行路数较低的并行方式时, 2 并行结构如式(1)所示:

$$\begin{bmatrix} Y_0 \\ Y_1 \end{bmatrix} = \begin{bmatrix} H_0 & z^{-2}H_1 \\ H_1 & H_0 \end{bmatrix} \begin{bmatrix} X_0 \\ X_1 \end{bmatrix} \quad (1)$$

若直接采用式(1)实现, 则消耗的乘法器数量会非常大。因为乘法器在硬件实现过程中属于强运算, 在实现并行化算法时, 减少乘法器的消耗非常重要。在 FFA 算法中, 提出对上述结构进行等效变换, 从而达到减少乘法器的目的。在文献[4-5]中, 将式(1)对应的并行滤波器进行等效变换, 写成如下形式:

$$\begin{cases} Y_0 = H_0X_0 + z^{-2}H_1X_1 \\ Y_1 = (H_0 + H_1)(X_0 + X_1) - H_0X_0 - H_1X_1 \end{cases} \quad (2)$$

从而可以共用 H_0X_0 以及 H_1X_1 , 这样在 2 并行的滤波器结构当中就可以节省 1 个乘法器, 式(2)可以用下述矩阵形式表示:

$$Y_2 = Q_2 H_2 P_2 X_2 \quad (3)$$

即

$$\begin{bmatrix} Y_0 \\ Y_1 \end{bmatrix} = \begin{bmatrix} 1 & 0 & z^{-2} \\ -1 & 1 & -1 \end{bmatrix} \text{diag} \begin{bmatrix} H_0 \\ H_0 + H_1 \\ H_1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 1 & 1 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} X_0 \\ X_1 \end{bmatrix} \quad (4)$$

将式(4)进行转置后可得到式(5):

$$\begin{bmatrix} Y_0 \\ Y_1 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 0 \\ 0 & 1 & 0 \end{bmatrix} \text{diag} \begin{bmatrix} H_0 \\ H_0 + H_1 \\ H_1 \end{bmatrix} \begin{bmatrix} 1 & -1 \\ 1 & 1 \\ z^{-2} & -1 \end{bmatrix} \begin{bmatrix} X_0 \\ X_1 \end{bmatrix} \quad (5)$$

对信号进行滤波的过程和对信号进行卷积的过程本质上是相同的, 理想的卷积可用下述表达式表示:

$$\begin{bmatrix} S_2 \\ S_1 \\ S_0 \end{bmatrix} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \text{diag} \begin{bmatrix} h_0 \\ h_0 + h_1 \\ h_1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 1 & 1 \\ 0 & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ x_1 \end{bmatrix} \quad (6)$$

将式(6)进行转置, 再进行一系列替换之后, 可得到式(7)

$$\begin{bmatrix} Y_0 \\ Y_1 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 0 \\ 0 & 1 & 0 \end{bmatrix} \text{diag} \begin{bmatrix} H_0 \\ H_0 + H_1 \\ H_1 \end{bmatrix} \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \begin{bmatrix} X_0 \\ X_1 \end{bmatrix} \quad (7)$$

式(4)和式(6)的实现结构均可以用图 1 表示。

从图 1 可以看出, 该实现结构和公式一一对应。 H_0, H_0+H_1, H_1 分别对应公式中的子滤波器, 公式中的预处理和后处理矩阵分别对应子滤波器前后的加法器和延时模块。由此可知, 并行滤波器的实现可以采用 FFA 快速滤波算法的转置变换得到, 从而达到减少硬件资源使用的目的。

对于 2 并行或者 3 并行这种并行度较低的并行滤波器, 在 FFA 算法中都是直接采用上述共享滤波器中相同的系数的方式, 然而在相对较高阶的并行情况下, 诸如 100 路并行, 如果单纯靠这种方式, 那么工作量将会非常大, 并且容易出错, 所以在相对较高阶的情况下, FFA 算法采用级联较低的并行度。以 6 并行的滤波器为例, 在实现过程中, 可以先利用 2 并行滤波器, 得到 3 个子滤波器, 再在子滤波器中使用 3 并行 FFA 并行算法, 从而采用级联方式实现 6 并行滤波器。级联方式实现的 6 并行滤波器矩阵如下所示:

$$Y_{6P} = B_6 (I_{3 \times 3} \otimes Q_6) H_6 (P_2 \otimes P_3) X_{6P} \quad (8)$$

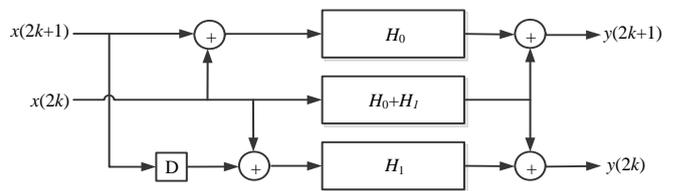


Fig.1 Block diagram of 2 parallel FIR filter with low complexity
图 1 低复杂度的 2 并行 FIR 滤波器实现框图

$$\text{式中： } \mathbf{Y}_{6p} = \begin{bmatrix} \mathbf{Y}_0 \\ \mathbf{Y}_2 \\ \mathbf{Y}_4 \\ \mathbf{Y}_1 \\ \mathbf{Y}_3 \\ \mathbf{Y}_5 \end{bmatrix}; \quad \mathbf{B}_6 = \begin{bmatrix} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & z^{-6} \\ 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 \\ -1 & 0 & 0 & 1 & 0 & 0 & -1 & 0 & 0 \\ 0 & -1 & 0 & 0 & 1 & 0 & 0 & -1 & 0 \\ 0 & 0 & -1 & 0 & 0 & 1 & 0 & 0 & -1 \end{bmatrix}; \quad \mathbf{Q}_6 = \begin{bmatrix} 1 & 0 & z^{-6} & 0 \\ -1 & 1 & 0 & 0 \\ 0 & -1 & -1 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 & z^{-6} & 0 & 0 & 0 \\ 0 & -1 & 0 & 1 & 0 & 0 \\ 0 & -1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix};$$

$$\mathbf{H}_6 = \text{diag} \begin{bmatrix} H_0 \\ H_2 \\ H_4 \\ H_1 + H_3 \\ H_3 + H_5 \\ H_1 + H_3 + H_5 \end{bmatrix}; \quad \mathbf{P}_2 = \begin{bmatrix} 1 & 0 \\ 1 & 1 \\ 0 & 1 \end{bmatrix}; \quad \mathbf{P}_3 = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 1 & 1 & 0 \\ 0 & 1 & 1 \\ 1 & 1 & 1 \end{bmatrix}; \quad \mathbf{X}_{6p} = \begin{bmatrix} \mathbf{X}_0 \\ \mathbf{X}_2 \\ \mathbf{X}_4 \\ \mathbf{X}_1 \\ \mathbf{X}_3 \\ \mathbf{X}_5 \end{bmatrix}。$$

文献[8]在上述 FFA 算法基础上提出了改进，在一定程度上减少了硬件资源的使用，但其应用并不是很广泛。

1.2 ISCA 算法

除了 FFA 算法，较为流行的算法是 ISCA 算法，该算法较 FFA 算法，在硬件实现的资源利用率上又有较大的提高，是利用快速短卷积的迭代来实现并行滤波，最早提出该思想的是文献[9]，该文献提出利用迭代的思想进行并行化运算，但由于讲述并不是非常细致，其引用量并不高。引用量相对较高的是文献[10]，该文献将基于快速短卷积算法的迭代算法正式命名为 ISCA 算法。该算法和 FFA 算法的基本原理非常相似，ISCA 算法利用了文献[7]中张量积表示的方式。文献[7]利用文献[8]中阐述的 FFT 迭代算法的思想，推导出了矩阵在利用张量积表示的情况下的迭代表示。然而文献[7]仅仅推导出了两级的张量积表示，两级表示的公式如下：

$$\mathbf{S}_{2M-1} = \mathbf{A}_{M_mn} (\mathbf{Q}_m \otimes \mathbf{Q}_n) \mathbf{H}_{M_mn} (\mathbf{P}_m \otimes \mathbf{P}_n) \mathbf{X}_M \tag{9}$$

在提出 ISCA 算法的文献[10]中，作者在两级迭代的基础上，推导得到了任意级迭代的公式，从而在并行路数非常高的情况下，可以采用两级以上的迭代，避免处理较大的矩阵，多级迭代的公式如下：

$$\mathbf{S}_{2N-1} = \mathbf{A}_{N_Mk} (\mathbf{A}_{M_mn} \otimes \mathbf{I}_{(2k-1) \times (2k-1)}) (\mathbf{Q}_m \otimes (\mathbf{Q}_n \otimes \mathbf{Q}_k)) \mathbf{H}_{N_mnk} (\mathbf{P}_m \otimes (\mathbf{P}_n \otimes \mathbf{P}_k)) \mathbf{X}_N \tag{10}$$

式中： $N=Mk=mnk$ ； $\mathbf{H}_{N-mnk} = \text{diag}[(\mathbf{P}_m \otimes (\mathbf{P}_n \otimes \mathbf{P}_k))(h_0, h_1 \dots h_{N-1})^T]$ 。

文献[10]详细给出了 2 路、3 路、4 路并行的预处理和后处理矩阵，并且使用 4 路并行处理加法共享的方式进行硬件实现，相较于 2 级 2 路迭代短卷积快速算法更加节省资源，所以在处理 4 路并行这样相对不是很大的矩阵的情况下，并不需要使用迭代短卷积算法进行实现。同时文献[10]详细讨论了硬件实现过程中的处理方法，最后对比分析了 ISCA 算法和 FFA 算法的硬件资源消耗情况。比较遗憾的是，文献[10]给出的硬件实现方式是利用 MATLAB 工具转码的方式得到硬件描述语言，并没有给出寄存器传送级(Register Transfer Level, RTL)的图。

2 算法仿真

本文对码率为 5 Gbps 的 16QAM 信号进行了并行化算法仿真。选取调制阶段的滤波器进行并行化处理，选择 32 路并行仿真。首先将调制数据按照多相分解^[11]的方式进行 4 路并行，4 路多相分解中的每一路都采用 ISCA 算法进行 8 路并行，从而达到总并行路数为 32 路。

对于 8 路并行的 ISCA 算法，因为 $2 \times 2 \times 2$ 并行的效率低于 2×4 的效率^[10]，仿真中选取 $\mathbf{S}_8 = \mathbf{A}_{8_24} (\mathbf{Q}_2 \otimes \mathbf{Q}_4) \mathbf{H}_{8_24} (\mathbf{P}_2 \otimes \mathbf{P}_4) \mathbf{X}_8$ 的方式。

对比经串行滤波器后的数据和经并行化处理后的数据，可以发现，2 组数据只有 4 路多相分解的首个数据不同，但这并不会对后续的解调造成任何影响，因为 4 路多相分解的首个数据，均在数据的最前端，此时接收端的数据还没有同步完成。图 2 为经多相分解和 ISCA 算法后 32 路并行输出数据的发射端频谱。

从图 2 的频谱可以看出，经过并行化处理后的信号频谱和串行发射的频谱具有相同的特征。信号的带宽也

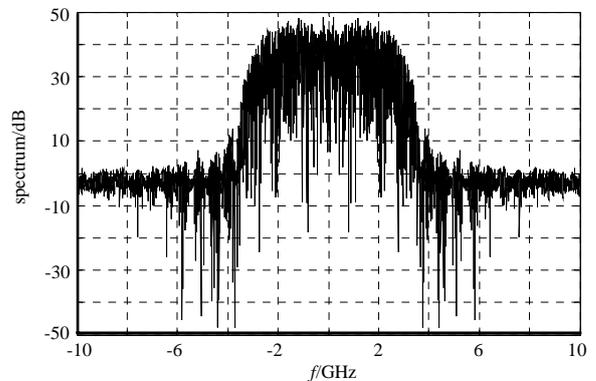


Fig.2 Spectrum with multiphase decomposition and ISCA
图 2 经多相分解和 ISCA 算法后 32 路并行输出数据的发射端频谱

为 5 GHz。为了更加直观地观察并行化后信号处理的效果,仿真中对并行滤波后经发射机发射出来的数据进行了接收端的匹配滤波,进而通过误码率更加直观地观察到高速并行滤波的效果,信噪比选取为 6~14 dB,在每个信噪比下进行 100 次独立仿真,单次仿真的数据长度为 4 096 个点。

从图 3 的误码率曲线可看到,数据通过采用并行化算法滤波器后的误码率和理论误码率误差小于 0.05 dB,而对于传统的串行方式,小于 0.5 dB 也是非常正常的。

3 结论

针对信号处理中的滤波算法,研究了可大大提高信号处理速度的并行化算法。详细分析了 FFA 并行化算法和 ISCA 并行化算法,结合多相分解与在并行信号处理中应用较广的 ISCA 算法进行仿真。将本文算法应用到太赫兹通信中,可以有效提高太赫兹通信的速率,最终得到的串行滤波数据与并行化后的数据是等效的。

参考文献:

- [1] SUEN J Y, FANG M T, DENNY S P, et al. Modeling of terabit geostationary terahertz satellite links from globally dry locations[J]. IEEE Transactions on Terahertz Science and Technology, 2015, 5(2):299–313.
- [2] SADR R, RAPHAELI D, HINEDI S. Wideband modem design based on multirate filter banks[C]// 1995 IEEE International Conference on Gateway to Globalization. Seattle, WA:[s.n.], 1995:889–893.
- [3] 林长星. 2 Gbps 高速通信解调技术及其实现研究[D]. 北京:清华大学, 2012. (LIN Changxing. Research on demodulation technique and its implementation for 2 Gbps high speed communication[D]. Beijing:Tsinghua University, 2012.)
- [4] PARKER D A, PARHI K K. Low-area/power parallel FIR digital filter implementations[J]. Journal of VLSI Signal Processing Systems for Signal Image & Video Technology, 1997, 17(1):75–92.
- [5] PARHI K K. VLSI digital signal processing systems: design and implementation[M]. New York:Wiley, 1999.
- [6] AGANVAL R, BURRUS C. Fast one-dimensional digital convolution by multidimensional techniques[J]. IEEE Transactions on Acoustics Speech & Signal Processing, 2003, 22(1):1–10.
- [7] GRANATA J, CONNER M, TOLIMIERI R. A tensor product factorization of the linear convolution matrix[J]. IEEE Transactions on Circuits & Systems, 1991, 38(11):1364–1366.
- [8] CHUNG J G, KIM Y B, JEONG H G, et al. Efficient parallel FIR filter implementations using frequency spectrum characteristics[C]// IEEE International Symposium on Circuits and Systems. Monterey, CA:IEEE, 2002:354–358.
- [9] ACHA J I. Computational structures for fast implementation of L-path and L-block digital filters[J]. IEEE Transactions on Circuits and Systems, 1989, 36(6):805–812.
- [10] CHENG C, PARHI K K. Hardware efficient fast parallel FIR filter structures based on iterated short convolution[J]. IEEE Transactions on Circuits and Systems I:Regular Papers, 2004, 51(8):1492–1500.
- [11] PROAKIS J G, MANOLAKIS D G. Digital signal processing principles, algorithms, and applications[M]. New Jersey: Prentice Hall, 1996.

作者简介:



郝鑫(1989–),女,成都市人,硕士,研究实习员,主要研究方向为太赫兹通信信号处理.email:haoxin@mtrc.ac.cn.

林长星(1986–),男,重庆市人,博士,副研究员,主要研究方向为太赫兹通信总体技术与超高速通信信号处理技术。

邓贤进(1973–),男,四川省安岳县人,硕士,研究员,主要研究方向为微波电路与系统、太赫兹通信系统等。

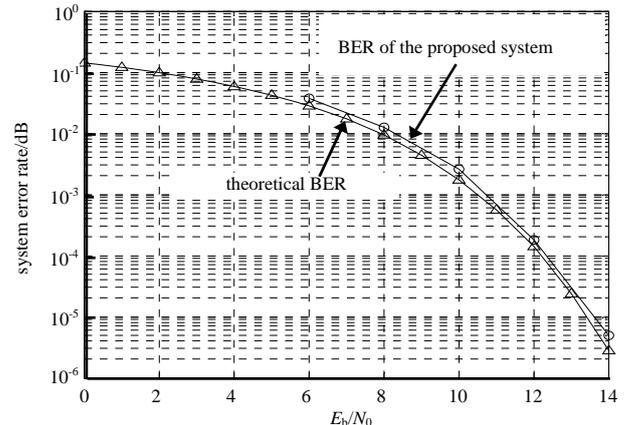


Fig.3 Comparison of the theoretical BER and the BER of the proposed system

图 3 本系统误码率和理论误码率曲线对比

汪朝晖(1991–),男,河南省信阳市人,硕士,研究实习员,主要研究方向为太赫兹通信编译码。

赵磊(1988–),男,兰州市人,博士,助理研究员,主要研究方向为太赫兹通信算法。

成彬彬(1981–),男,湖北省随州市人,博士,研究员,主要研究方向为太赫兹雷达及成像。