2018年2月 Journal of Terahertz Science and Electronic Information Technology

文章编号: 2095-4980(2018)01-0170-06

# FIR 基于 FPGA 的高并行度 DA 结构

林跃杉<sup>1,2</sup>,林 郁<sup>1</sup>,尹 韬<sup>1</sup>,黄志洪<sup>1</sup>,杨海钢<sup>\*1,2</sup>

(1.中国科学院 电子学研究所, 北京 100190; 2.中国科学院大学, 北京 100049)

摘 要:有限长单位冲击响应滤波器(FIR)是合成孔径雷达(SAR)系统的重要组成部分。为综合考虑资源与性能对系统的影响,基于现场可编程门阵列(FPGA)设计实现了位宽、阶数可配置的SAR 雷达信号处理 FIR 系统,首次完成了合理范围内的只读存储器(ROM)地址位宽和所有输入并行度设置下的分布式算法(DA)结构对比实验,并对不同结构实现下的系统性能资源比进行了全面分析和比较,得到了最优化高并行度 DA 结构。实验结果表明在 ROM 地址位宽为4或5时性能资源比最好;性能资源比随输入并行度的提高而提高,当输入并行度为输入数据位宽时,性能资源比提高 24%至 117%。对比传统的全串行结构、全并行结构和 DA 结构,经 ROM 地址位宽和输入并行度优化后的 DA 结构的性能资源比分别提高了 3 110%,76%和 86%。

# FPGA based high parallelism DA architecture for FIR

LIN Yueshan<sup>1,2</sup>, LIN Yu<sup>1</sup>, YIN Tao<sup>1</sup>, HUANG Zhihong<sup>1</sup>, YANG Haigang<sup>\*1,2</sup>
(1.Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;
2. University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** Finite Impulse Response(FIR) is an important component in Synthetic Aperture Radar (SAR) signal processing system. Considering both of the resource and performance impact for system, based on FPGA(Field Programmable Gate Array), a SAR signal processing FIR is designed with width and order of filter configurable. By comparing DA(Distributed Arithmetic) architectures with the meaningful address width of ROM(Read Only Memory) and different input parallelism, and analyzing the throughput-resource ratio of different architectures, the best high parallelism DA architecture is obtained. Experimental results show that throughput-resource ratio is best when address width of ROM is 4 or 5; and the throughput-resource ratio increases when input parallelism increases, and when input parallelism equals to input data width, throughput-resource ratio is improved by 24%-117%. Compared to traditional fully parallel architecture, fully serial architecture and DA architecture, optimized DA architecture can improve the throughput-resource ratio by 3 110%, 76% and 86%, respectively.

**Keywords:** Field Programmable Gate Array(FPGA); Finite Impulse Response(FIR); Distributed Arithmetic(DA); parallelism; partition

有限冲击响应的线性滤波器 FIR 具有高稳定性和线性的相位,在 SAR 雷达信号处理应用中被广泛采用<sup>[1]</sup>。 FPGA 有着丰富的互连资源以及硬件电路并行性<sup>[2]</sup>,常被用于实现高速的 FIR 数字滤波器。不同应用中系统所 需 FIR 的精确度及阶数往往并不相同,因此,位宽、阶数可以灵活配置的 FIR 系统有着重要的应用需求。由于 FPGA 的片上资源有限,通常要求整体系统尽可能精简,FIR 所占片上资源尽可能少,同时为了满足其应用实时 性,吞吐率也是重要的性能指标。传统的 FIR 结构如全并行(fully parallel)、全串行(fully serial)是由乘累加 (Multiply-and-Accumulate, MAC)结构来完成的,使用全并行结构实现一个 *K* 阶的 FIR,需要 *K* 个 MAC 结构, 这种结构的 FIR 对于资源的消耗很大。近年来,随着 FPGA 的快速发展,一种可替代的解决方案是使用一系列

收稿日期: 2016-11-22; 修回日期: 2017-02-14

通信作者: 杨海钢 email:yanghg@mail.ie.ac.cn

基金项目:国家自然科学基金资助项目(61474120,61271149,61404140);国家重点基础研究发展计划资助项目(2014CB744600)

的 ROM 来代替 MAC 结构中的乘加操作,将数据先行计算并存储在 ROM 中,然后将输入作为 ROM 的地址, 以 ROM 的输出代替 MAC 的输出,这种结构称作 DA 结构。基于 FPGA 中具有数量众多的 LUT,可以使用 LUT 来实现相应的 ROM。相比于传统的 MAC 结构,DA 结构输出的速率更快,时钟频率和吞吐率也得到了进 一步提升。而且,此结构仅仅需要设计 LUT 和一些简单的辅助电路,可进一步降低设计成本。由于上述优势, DA 结构越来越广泛地被用于实现 FIR<sup>[3-5]</sup>。

DA 结构的优势引起了许多研究机构的兴趣。2001 年 Wang<sup>[6]</sup>等人将余数定理运用于 DA 结构,减少了其功 耗。2004 年 Salim 等人<sup>[7]</sup>针对 FIR 在转换器中的实现对串行的 FIR 进行了相关分析,包括由于存储量化数据引 起的传递函数的失真,输入位宽和吞吐率关系,滤波器阶数和资源使用情况的关系。2006 年 Longa 等人<sup>[8]</sup>对 DA 结构的实现进行了详细介绍,并对 LUT 分块和不分块的情况分别进行了简要分析。同年 Jeng 等人<sup>[9]</sup>比较了 并行情况的 DA 结构与 MAC 结构,指出了 DA 结构的优势。2013 年 Kumm 等人<sup>[10-11]</sup>在理论分析 LUT 分块和不 分块的基础上,同时对系数对称的 DA 结构进行优化,并介绍了可重复配置的 DA 结构。

然而,上述研究仅从 ROM 的输入地址位宽对资源的影响入手分析了 DA 结构的特性,或者从输入数据分 块对性能的影响入手,缺乏对 ROM 的输入地址位宽和输入数据分块两个因素共同对系统影响的详尽分析。本 文通过 FPGA 实现 FIR 系统,首次全面分析并比较在不同 FIR 滤波器阶数和不同数据的输入位宽的情况下, ROM 的输入地址位宽和输入数据分块对资源和性能的影响,寻找 ROM 的输入地址位宽和输入数据分块数目的 最优值。本文第1节首先分析了串行 DA 结构原理,第2节介绍了串行 DA 结构的实现,并对 ROM 地址位宽对 资源和性能的影响进行了实验分析,第3节分析并行 DA 结构对资源和性能的影响,第4节将 DA 结构和传统 的 FIR 结构进行了实验比对,并在最后一节进行总结。

# 1 DA 结构

DA 之所以称作 Distributed Arithmetic,是因为这种结构并不是像传统的数值计算对操作数的所有位同时进行计算,而是每次计算 1 个比特位<sup>[3]</sup>。在 DSP 中经常需要对一组向量进行内积操作,如 FIR 滤波器就是典型的 例子。DA 结构可以很高效地处理内积操作。下面解释使用 DA 结构实现 FIR 的原理。典型的 FIR 滤波器计算 输出可以表示为:

$$y = \sum_{k=1}^{K} A_k x_k \tag{1}$$

式中: K和 A<sub>4</sub>为滤波器的阶数和系数; x<sub>4</sub>为输入数据。假设|x<sub>4</sub>|<1,且为有符号的数, x<sub>4</sub>的补码可表示为:

$$x_k = -b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n}$$
<sup>(2)</sup>

将式(2) xk 代入式(1), 可得

$$y = \sum_{k=1}^{K} A_{k} \left[ -b_{k0} + \sum_{n=1}^{N-1} b_{kn} 2^{-n} \right] = \sum_{k=1}^{K} A_{k} \left[ \sum_{n=1}^{N-1} b_{kn} 2^{-n} \right] + \sum_{k=1}^{K} A_{k} (-b_{k0}) = \sum_{n=1}^{N-1} \left[ \sum_{k=1}^{K} A_{k} b_{kn} \right] 2^{-n} + \sum_{k=1}^{K} A_{k} (-b_{k0})$$
(3)

定义式(3)中的可变项:

$$\text{ROMOUT} = \sum_{k=1}^{K} A_k b_{kn} \tag{4}$$

式中*b*<sub>kn</sub> 为*x*<sub>k</sub> 的二进制补码表示方法的第*n*位,由于*b*<sub>kn</sub> 的取值为 1 和 0, 那么对于 ROMOUT 一共有 2*K* 种取值,其与式(3)中第 2 个加法项相差 1 个负号,由于*b*<sub>k0</sub> 是符号位,只需要在处理符号位时进行取负号处理即 可。基于此,可以提前将各个组合的 ROMOUT 值计算好放在 LUT 内, 如果 *K*=4,那么就需要计算 16 种值并将其存储在 LUT 中,假设 *A*<sub>i</sub>, *i*=1,2,…,4 的各个值如图 1 所示,则 LUT 中存储的数据如表 1 所示,然后 将输入*b*<sub>kn</sub> 作为地址来索引相应的数据,接着将 LUT 输出做相应的尺度变 换,使之相当于乘以 2<sup>-n</sup>,再用累加器累加来得到输出。

以图 1 的 4 阶滤波器为例, DA 的工作流程如下: LUT 输入由 x<sub>i</sub>, i=1,2,…,4 的相应比特位 b<sub>ij</sub>, i=1,2,…,4, j=0,1,…,N-1 组成; 每个周期所计 算比特位不同, 第 0 个周期输入 4 个 x<sub>i</sub> 的最低位 b<sub>10</sub>, 第 1 个周期输入 4

鼻比特位不同,弟 0 个周期输入 4 个  $x_i$ 的最低位  $b_0$ ,弟 1 个周期输入 4 个 7 向时,  $b_1$  个  $x_i$ 的次低位  $b_1$ ,LUT 根据相应的输入  $b_0$ 得到相应的输出,并将输出作为累加器的一个输入,同时对累加器



Fig.1 Architecture of DA 图1 DA结构示意图

输出数据进行移位操作,相当于公式(3)中乘以 2<sup>-1</sup>的操作;累加器累加 N 个周期后就输出 1 个有效数据  $y_{\circ}$  其中  $T_{s}$  为符号位控制,用于处理符 号位,当为 0 时将累加器配置为加法器, $T_{s}$ 为 1 时配置为减法器, $T_{s}$ 只 在处理符号位时被置位为 1;通过开关 SWA 切换来输出数据,同时保 证下一组计算数据  $x_{i}$ 在第 1 次计算时累加器的初始累加数据为 0。

#### 2 ROM 地址位宽优化

从上节分析可知, DA 结构所使用的 ROM 和 FIR 滤波器的阶数 *K* 呈指数关系, *K* 阶滤波器所需要的 ROM 的存储数据位是  $2^{K}$  bit, 如果同时考虑数据的位宽 *N*, 那么就是  $2^{K} \times N$  bit, 对于一般的 FIR 应用, 假设 *K*=50, *N*=8, 那么就需要接近 1PB 的 ROM 存储数据位,这显然超出了 普通 FPGA 所能提供的片上资源,所以必须对 ROM 进行分块来使所需

表 1 ROMOUT 与 bkn 的关系

Table1 Relationship between ROMOUT and $b_k$					
$b_1$	$b_2$	$b_3$	$b_4$	LUT output	
0	0	0	0	0	
0	0	0	1	A <sub>4</sub> =0.11	
0	0	1	0	$A_3=0.95$	
0	0	1	1	$A_3 + A_4 = 1.06$	
0	1	0	0	$A_2 = -0.30$	
0	1	0	1	$A_2 + A_4 = -0.19$	
0	1	1	0	$A_2 + A_3 = 0.65$	
0	1	1	1	$A_2 + A_3 + A_4 = 0.75$	
1	0	0	0	$A_1 = 0.72$	
1	0	0	1	$A_1 + A_4 = 0.83$	
1	0	1	0	$A_1 + A_3 = 1.57$	
1	0	1	1	$A_1 + A_3 + A_4 = 1.78$	
1	1	0	0	$A_1 + A_2 = 0.42$	
1	1	0	1	$A_1 + A_2 + A_4 = 0.53$	
1	1	1	0	$A_1 + A_2 + A_3 = 1.37$	
1	1	1	1	$A_1 + A_2 + A_3 + A_4 = 1.48$	

的 ROM 存储数据位在合理的范围内。如果将 ROM 平均分为 5 块,分成 5 块后每个 ROM 的输入为 10,每个 ROM 需要的存储数据位为 2<sup>10</sup>×8 bit,那么整个 FIR 所需要的存储数据位就是 5×2<sup>10</sup>×8 bit,即 40 KB,这在 FPGA 上实现是可行的。其基本结构示意图如图 2,数据输入后沿着 pipeline 移动,LUT 的输入数据取自 pipeline 的相应的位,输出的数据作为加法树的输入,加法树每周期计算 1 个比特位的数据,其中加法器的深度 与阶数 *K* 和 LUT 的数目相关,加法树的输出经过输出寄存器每周期左移 1 位后进行累加,输出最后的结果。



Fig.2 Architecture of DA with LUT partition

图 2 LUT 进行分块的 DA 结构示意图

可以发现, ROM 的地址位宽对 DA 结构的最终实现性能和所占的资源有着较大的影响。为了综合考虑其对 系统整体的影响,需要同时考虑资源的消耗和工作性能,因此,本文引入性能资源比作为评价指标。这里采用 时钟频率和资源之间的比值来代表性能资源比,对 ROM 地址位宽大小的选取进行实验分析。

实验采用 Altera 的 Stratix II EP2S180F1020C3 进行资源和性能测试,后面的实验均基于此 FPGA。由于在 实际的系统中,数据的位宽均为 2 的幂次数,且一般不超过 64 位,同时基于上述分析 ROM 的地址位宽不宜取

过大,这里以 10 位为上限,所以实验所 采用的 FIR 滤波器的数据位宽分别为 16,32,64,扫描的地址位宽从 2 到 10, 同时为了探索 ROM 的最优地址位宽与 FIR 的规模是否相关,做了 2 组对比, 分别采用阶数为 32 和 64 的 FIR。

实验所得的各个配置下时钟频率资源比与 ROM 的地址位宽的关系如图 3 所示。从图 3 中可以看到,当地址位宽从 2 到 10 时,其时钟频率资源比呈现出



抛物线的形状,在 ROM 的地址位宽为 4 或者 5 时取到最大值。其最大值约为最小值的 2~3 倍,而且在电路的

规模变化的情况下,该曲线特性趋势及最大值和最小值之间的倍数关系基本保持不变。因此,可以得知,在不 同规模的 FIR 电路下,选取 ROM 的输入位宽为 4 或者 5 都是最优的。

### 3 DA 结构并行度

将输入进行分块可进一步提高整体并行 度,采用并行方式实现的结构本文称之为并行 DA 结构。如果输入数据的位宽为 32 位,将 输入分为 2 块,其结构的示意图如图 4 所示。 其中,将数据位为 1,3,…,31 的分为 1 组,将 数据位为 2,4,…,32 的分为 1 组,第 2 组由于 第 32 位为符号位,在计算时需要改变输出数 据的符号,采用 1 个选通器来实现符号切换。



在加法树之后,对于输出寄存器需要左移 2 位。以此类推,对于分成更多块的方法是,假设输入的位宽为 W, 分块数目为 N,那么将数据按最低有效位到最高有效位顺序先分为 W/N 组,分别取这些组的第 1 个比特位形成 第 1 块,取这些组的第 2 个比特位形成第 2 块,直到取这些组的第 N 位比特位形成第 N 块。在这里将分块数 N 定义为参数 DARadix。

分析可知,在选取合适并行度的情况下,时钟频率并不能完全反映电路工作的性能,这是因为不同并行度 所需要的输出一个滤波值的周期数不相同,因此,采用吞吐率来代表系统的性能相比之下更为准确,其定义由 公式(5)给出,相应地,采用吞吐率资源比来代表系统的性能资源比。此外,并行度的提高往往意味着资源消耗 的增加,也需要使用性能资源比来综合分析并行度提高对系统的影响。

(5)

$$Throughput = \frac{F_{clk} \cdot DARadix}{InputWidth}$$

在第 2 节结论基础上进一步对 DARadix 对性能和资源的影响进行了实验分析。同样,所采用的 FIR 滤波器的阶数分别为 32 和 64,数据位宽分别为 16,32,64,同时根据上节得到的结论 设置各个 ROM 的输入位宽为 4。

通过完整的实验得到吞吐率和 DARadix 之间的关系,如图 5 所示。可以看出随着 DARadix 的增加,吞吐率也随之增加, 且为线性增加,同时可以观察到其斜率与 FIR 阶数无关,只与 输入数据的位宽相关,并且随着数据位宽的增加,斜率减小。



图 6 给出了不同 DARadix 情况下所占用的资源的情况,随着并行度的增加,资源也随之增加,且变化关系 基本符合线性关系;对于不同的 FIR 阶数和输入数据位宽的组合,并行度和资源的关系也均满足线性关系,并 且随着电路规模的增大,其斜率随之增大。



图 6 DARadix 与资源示意图

经进一步数据统计分析可得 DARadix 和性能资源比的关系,如图 7 所示。不同并行度在性能资源比的表现 上基本在一个量级上;从图中看出曲线呈现出"W"型,并且在 DARadix=2 和 DARadix=InputWidth/2 处有 2 个 凹槽;最高并行度(DARadix=InputWidth)和最低并行度(DARadix=1)之间的性能资源比比值如表 2 所示,最高并 行度的性能资源比相对于最低并行度提高 24%至 117%。





Fig.7 Relationship between DARadix and performance resource ratio 图 7 DARadix 与性能资源比示意图

主う	县 宣 光 ⁄	- 市 日 星	任并行E	<b>在</b> 州 能 次	<b>酒 土 玄</b>
衣える	取向井1	1 侵 刁 取	低井11月	受任用的页:	你大余

Table2 Performance resource ratio difference between maximum parallelism and minimum

order	input width	performance resource ratio		
	input width	(DARadix=InputWidth)/performance resource ratio (DARadix=1)		
32	16	217%		
64	16	157%		
32	32	155%		
64	32	124%		
32	64	184%		
64	64	146%		

# 4 与传统 FIR 实现结构的对比

在 SAR 雷达信号处理系统中,其输入为经解调后的回波数据,输出反射率数据,包括其相位和幅度,无论 在数据的预处理部分还是 SAR 雷达处理系统的核心单元,FIR 均是重要的组成部分。由于 FIR 应用于 SAR 雷 达信号处理系统的许多部件,需求不同精确度及阶数的 FIR,要求 FIR 的位宽、阶数可以灵活配置。为满足 FIR 所占系统的资源尽可能少,同时吞吐率尽可能高,需要性能资源的比值尽可能高。

本文将文献[12]中所提出的全并行 FIR 结构和全串行结构,以及文献[4]所提出的 DA 结构和本文优化后 DA 结构分别基于 FPGA 实现了阶数 50,输入数据位宽 16 的 FIR 滤波器,得到资源和性能的数据如表 3 所示。 表 3 DA 结构与传统 FIR 实现结构的对比

Tables Comparison between DA architecture and classical FIK architecture							
architecture	logic utilization	M512	M4K	DSP-9 bit	<i>f</i> /MHz	throughout resource ratio	
fully serial <sup>[12]</sup>	1 007	0	0	2	90.85	0.001 80	
fully parallel <sup>[12]</sup>	4 956	0	0	16	162.55	0.032 80	
traditional DA <sup>[4]</sup>	515	1	1	0	255.04	0.030 95	
DA with ROM optimization	467	1	1	0	255.69	0.034 22	
DA with ROM and parallelism optimization	5 198	0	0	0	300.30	0.057 78	

Table3 Comparison between DA architecture and classical FIR architecture

结果表明文献[4]的 DA 结构仅仅需要 M512 和 M4K 各 1 个,相比于传统的全串行结构减少了一半的资源使 用量,并且不需要占用 DSP 的资源,性能资源比达到了传统的全串行结构的 17 倍以上,而经 ROM 地址位宽优 化后 DA 结构在文献[4]的基础上性能资源比进一步提高了近 10%。经 ROM 地址位宽和输入并行度优化后 DA 结构相比全串行结构和 DA 结构的性能资源比分别提高了 3110%和 86%,而相比于传统的全并行结构在仅仅多 使用了约 5%的逻辑资源的情况下,达到接近 76%的性能资源比的提升。

#### 5 结论

在 FPGA 中, DA 结构是实现 FIR 的一种广泛采用的结构。本文分别从 ROM 的输入地址位宽和输入数据分 块对 FIR 的性能资源比进行了全面的探索分析研究。通过在商用 Altera Stratix II FPGA 芯片上实现不同结构 DA,并进行大量数据分析,得到最终优化的 DA 结构; ROM 的地址位宽设置为 4 或者 5 时,性能资源比达到 最优,且该数值与应用电路规模无关;本文采用提高并行度的方式可将性能资源比在原有基础上进一步提升 24%至 117%。相比传统的全串行结构、全并行结构和传统的 DA 结构,优化后的 DA 结构的性能资源比分别提升了 3 110%、76%和 86%。

#### 参考文献:

[1] 程佩青.数字信号处理教程[M].4版.北京:清华大学出版社, 2013:1-2. (CHENG Peiqing. Digital signal processing[M].
 4th ed. Beijing:Tsinghua University Press, 2013:1-2.)

- [2] 杨海钢,孙嘉斌,王慰. FPGA 器件设计发展综述[J]. 电子与信息学报, 2010,32(3):714-727. (YANG Haigang,SUN Jiabin,WANG Wei. An overview of FPGA device design technologies[J]. Journal of Electronics & Information Technology, 2010,32(3):714-727.)
- [3] WHITE S A. Applications of distributed arithmetic to digital signal processing: a tutorial review[J]. IEEE ASSP Magazine, 1989,6(3):4-19.
- [4] ZHOU Yajun, SHI Pingzheng. Distributed arithmetic for FIR filter implementation on FPGA[C]// 2011 International Conference on Multimedia Technology (ICMT). Hangzhou, China: IEEE, 2011:294-297.
- [5] HUANG W,KRISHNAN V,ALLRED D,et al. Design analysis of a distributed arithmetic adaptive FIR filter on an FPGA[C]// 37th Asilomar Conference on Signals, Systems and Computers. Pacific Grove,CA,USA:IEEE, 2003:926-930.
- [6] WANG W,SWAMY M N S,AHMAD M O. Low power FIR filter FPGA implementation based on distributed arithmetic and residue number system[C]// Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems. Dayton,OH, USA:IEEE, 2001:102-105.
- [7] SALIM T,DEVLIN J,WHITTINGTON J. FPGA implementation of digital upconversion using distributed arithmetic FIR filters[C]// IEEE International Conference on Field-Programmable Technology. Brisbane,NSW,Australia:IEEE, 2004:335-338.
- [8] LONGA P,MIRI A. Area-efficient FIR filter design on FPGAs using distributed arithmetic[C]// IEEE International Symposium on Signal Processing and Information Technology. Vancouver, BC, Canada: IEEE, 2006:248-252.
- [9] JENG S S,LIN H C,CHANG S M. FPGA implementation of FIR filter using M-bit parallel distributed arithmetic[C]// IEEE International Symposium on Circuits and Systems. Island of Kos,Greece:IEEE, 2006:875-878.
- [10] KUMM Martin, MOLLER Konrad, ZIPF Peter. Partial LUT size analysis in distributed arithmetic FIR filters on FPGAs[C]// IEEE International Symposium on Circuits and Systems. Beijing, China: IEEE, 2013:2054–2057.
- [11] KUMM Martin, MOLLER Konrad, ZIPF Peter. Reconfigurable FIR filter using distributed arithmetic on FPGAs[C]// IEEE International Symposium on Circuits and Systems. Beijing, China: IEEE, 2013:2058-2061.
- [12] SUDHAKAR V,MURTHY N S,ANJANEYULU L. Fully parallel and fully serial architecture for realization of high speed FIR filters with FPGA's[C]// 2012 International Conference on Devices, Circuits and Systems(ICDCS). Coimbatore,India: IEEE, 2012.

#### 作者简介:



林跃杉(1991-),男,福建省厦门市人,在 读硕士研究生,主要研究方向数模混合信号集 成电路设计、MEMS 传感器高性能接口电路设 计.email:lyssan@yeah.net. 林 郁(1982-),男,广东省珠海市人, 博士,助理研究员,主要研究方向为 FPGA 的 CAD 辅助设计、FPGA 高层综合.

尹 韬(1980-),男,吉林省通化市人,博士,副研究员,硕士生导师,主要研究方向为数模混合信号集成电路设计、MEMS 传感器高性能接口电路设计.

黄志洪(1984-),男,福建省莆田市人,博 士,助理研究员,主要研究方向为超大规模集 成电路设计.

杨海钢(1960-),男,上海市人,博士,研 究员/教授,博士生导师,主要研究方向为高 性能模拟、数模混合片上系统(SoC)设计技 术,以及高性能超大规模集成电路芯片设计技 术等.

第1期